

Docket No.: 67161-113

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Tsukasa OOISHI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 06, 2003	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR DEVICE WITH REDUCED CURRENT CONSUMPTION IN STANDBY STATE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-022611, filed January 30, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: October 6, 2003**

67161-113

OOISHI

October 6, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月30日

出 願 番 号

Application Number:

特願2003-022611

[ST.10/C]:

[JP2003-022611]

出 願 人

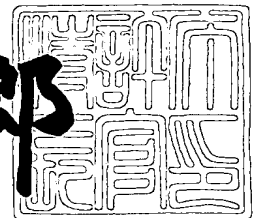
Applicant(s):

三菱電機株式会社

2003年 2月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010909

【書類名】 特許願

【整理番号】 542663JP01

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34  
G11C 11/406

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 大石 司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 のモードと消費電流が前記第 1 のモードよりも低減される第 2 のモードとを動作モードとして有する半導体装置であって、

主電源線と、

副電源線と、

前記第 1 のモードにおいて前記副電源線を前記主電源線と接続し、前記第 2 のモードにおいては前記副電源線を前記主電源線から分離する第 1 のスイッチ回路と、

前記第 1 のモードにおいて入力信号に応じて動作を行ない、前記第 2 のモードにおいては待機状態となる内部回路とを備え、

前記内部回路は、

前記第 2 のモードにおいて非導通状態に維持される所定厚のゲート絶縁膜を有する第 1 の電界効果型トランジスタと、

前記主電源線に接続され、前記第 2 のモードにおいて導通状態に維持される、前記所定厚よりも厚いゲート絶縁膜を有する第 2 の電界効果型トランジスタとを含む、半導体装置。

【請求項 2】 前記第 1 のモードは通常モードであり、

前記第 2 のモードはパワーダウンモードであり、

前記半導体装置は、動作モードとして消費電流が前記パワーダウンモードよりも低減されるディープパワーダウンモードをさらに有し、

前記主電源線と電源ノードとの間に設けられ前記ディープパワーダウンモードにおいて前記主電源線から前記電源ノードを分離する第 2 のスイッチ回路をさらに備える、請求項 1 に記載の半導体装置。

【請求項 3】 第 1 のモードと消費電流が前記第 1 のモードよりも低減される第 2 のモードとを動作モードとして有する半導体装置であって、

前記第 1、第 2 のモードにおいて電源電位が与えられる第 1 の内部回路と、

前記第 1 のモードで活性化され少なくとも 1 つの第 1 のタイプの電界効果型ト

ランジスタを含む第 2 の内部回路と、

前記第 2 の内部回路の出力と前記第 1 の内部回路の入力ノードとを前記第 1 のモードにおいて接続し、前記第 2 のモードにおいては分離する、前記第 1 のタイプの電界効果型トランジスタよりもゲート絶縁膜厚が厚い第 2 のタイプの電界効果型トランジスタを含むトランスミッションゲートと、

少なくとも 1 つの前記第 2 のタイプの電界効果型トランジスタを含み、前記第 2 のモードで活性化され前記入力ノードを駆動する第 3 の内部回路とを備える、半導体装置。

【請求項 4】 前記第 1 の内部回路は、第 1 の電源電位に対応する入力された信号の振幅を第 2 の電源電位に対応する振幅に変換して出力するレベル変換回路であり、

前記第 3 の内部回路は、前記第 2 のモードで活性化され、前記第 1 のモードで非活性化されるクロックインバータである、請求項 3 に記載の半導体装置。

【請求項 5】 セルフリフレッシュモードと通常モードとを動作モードとして有する半導体装置であって、

ダイナミック型のメモリアレイと、

少なくとも 1 つの第 1 のタイプの電界効果型トランジスタを含み、前記通常モードで活性化され、前記セルフリフレッシュモードで非活性化される第 1 の内部回路と、

前記第 1 のタイプの電界効果型トランジスタよりもゲート絶縁膜厚が厚い第 2 のタイプの電界効果型トランジスタを少なくとも 1 つ含み、前記セルフリフレッシュモードで活性化される第 2 の内部回路とを備える、半導体装置。

【請求項 6】 前記半導体装置は、ディープパワーダウンモードを動作モードとしてさらに有し、

前記ディープパワーダウンモード時に前記第 2 の内部回路に対する電源電流を遮断するためのスイッチをさらに備える、請求項 5 に記載の半導体装置。

【請求項 7】 待機時に第 1 の電位にプリチャージされる信号線と、

前記信号線を前記第 1 の電位とは異なる第 2 の電位に結合する第 1 の電界効果型トランジスタと、

前記信号線を前記待機時に前記第 1 の電位に結合する前記第 1 の電界効果型トランジスタよりもゲート絶縁膜厚の厚い第 2 の電界効果型トランジスタとを備える、半導体装置。

【請求項 8】 前記半導体装置は、

メモリアレイをさらに備え、

前記信号線は、前記メモリアレイと外部との間で記憶データの通信を行なうデータ線である、請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、回路ブロックに流れるソースドレイン間リーク電流およびゲートリーク電流を削減する技術に関する。より特定的には、リフレッシュ動作が必要なダイナミック型の半導体記憶装置を内蔵する半導体装置における待機時の消費電流削減に関する。

【0002】

【従来の技術】

近年、情報携帯端末装置等の普及に伴い、半導体記憶装置においても小型化、低消費電力化が要求されている。これに伴って、半導体記憶装置も、マイクロコンピュータや大規模なロジック回路とともにワンチップに集積化されて用いられる場合が増えてきている。このような大規模な種々の回路を搭載し、システムオンチップを実現する集積回路をシステム L S I と呼ぶことにする。

【0003】

システム L S I における消費電源電流の削減について説明する前に、まず、半導体記憶装置の従来構成を説明する。

【0004】

図 3 5 は、従来の半導体記憶装置 1 0 0 0 の構成を示す概略ブロック図である。

【0005】

図 3 5 を参照して、半導体記憶装置 1 0 0 0 は、外部から与えられる相補なク

ロック信号  $\text{ext. CLK}$  および  $\text{ext. /CLK}$  を受ける外部クロック信号入力端子 1116 と、外部クロック信号入力端子 1116 に与えられたクロック信号をバッファ処理するクロック入力バッファ 1084 および 1085 と、クロック入力バッファ 1084 および 1085 の出力を受けて、内部クロック信号  $\text{int. CLK}$  を生成する内部制御クロック信号生成回路 1118 と、外部制御信号入力端子 1110 を介して与えられた外部制御信号を、内部クロック信号  $\text{int. CLK}$  に応じて動作する入力バッファ 1012 ~ 1020 を介して受けるモードデコーダ 1120 とを備える。

#### 【0006】

外部制御信号入力端子 1110 には、クロックイネーブル信号  $\text{CKE}$  と、チップセレクト信号  $\text{/CS}$  と、行アドレスストローブ信号  $\text{/RAS}$  と、列アドレスストローブ信号  $\text{/CAS}$  と、書込制御信号  $\text{/WE}$  とが与えられる。

#### 【0007】

クロックイネーブル信号  $\text{CKE}$  は、チップへの制御信号の入力を可能とすることを指示する信号であり、この信号が活性化されないと、制御信号の入力が許可されず、半導体記憶装置 1000 は外部からの信号入力を受付けない。

#### 【0008】

チップセレクト信号  $\text{/CS}$  は、コマンド信号が入力されているか否かを識別するための信号であり、この信号が活性化している状態（L レベル）において、クロック信号の立上がりのエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

#### 【0009】

モードデコーダ 1120 は、これら外部制御信号に応じて、半導体記憶装置 1000 の内部回路の動作を制御するための内部制御信号を出力する。モードデコーダ 1120 は、たとえば内部制御信号として、信号  $\text{ROWA}$ 、信号  $\text{COLA}$ 、信号  $\text{ACT}$ 、信号  $\text{PC}$ 、信号  $\text{READ}$ 、信号  $\text{WRITE}$ 、信号  $\text{APC}$  および信号  $\text{SR}$  を出力する。

#### 【0010】

信号  $\text{ROWA}$  は、ロウ系のアクセスが行なわれることを示す信号であり、信号

COLAは、コラム系アクセスが行なわれることを示す信号であり、信号ACTはワード線の活性化を指示する信号である。

【0011】

信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは、列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0012】

信号APCは、オートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SRはセルフリフレッシュ動作を指示するための信号であり、セルフリフレッシュ動作が開始されると、セルフリフレッシュタイマが動作し、一定時間が経過すると、ワード線が活性化されリフレッシュ動作が開始される。

【0013】

半導体記憶装置1000は、さらに、セルフリフレッシュモードが信号SRにより指定されると動作を開始し、一定時間が経過するとワード線の活性化、すなわちリフレッシュ動作の開始を指示するためのセルフリフレッシュタイマ1054と、セルフリフレッシュタイマ1054からの指示に従って、リフレッシュアドレスを発生するためのリフレッシュアドレスカウンタ1056とを含む。

【0014】

半導体記憶装置は、さらに、入力信号のHレベルまたはLレベルの判定の基準となる信号VREFを受ける参照電位入力端子1022と、アドレス信号入力端子1112を介して与えられるアドレス信号と、上述した外部制御信号の組合せに応じて、所定の動作モードに対する情報、たとえばバースト長に関する情報を保持するモードレジスタ1046と、内部クロック信号int. CLK2に応じて動作するアドレス信号入力バッファ1032～1038を介してアドレス信号を受けて、行アドレスが入力されるタイミングにおいて、入力された行アドレスを保持するロウアドレスラッチ1250と、アドレス信号A0～A12を受けて

列アドレスが入力されるタイミングにおいてこの列アドレスを保持するコラムアドレスラッチ 1 5 5 0 と、リフレッシュアドレスカウンタ 1 0 5 6 からの出力とロウアドレスラッチ 1 2 5 0 からの出力とを受けて、通常動作においてはロウアドレスラッチ 1 2 5 0 からの出力を選択し、セルフリフレッシュ動作中はリフレッシュアドレスカウンタ 1 0 5 6 からの出力を選択して出力するマルチプレクサ 1 0 5 8 と、マルチプレクサ 1 0 5 8 からの出力を受けて行アドレスをプリデコードするロウプリデコーダ 1 1 3 6 とを含む。

#### 【 0 0 1 5 】

半導体記憶装置 1 0 0 0 は、さらに、コラムアドレスラッチ 1 5 5 0 に保持された列アドレスを基準としてモードレジスタ 1 0 4 6 からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ 1 0 6 0 と、バーストアドレスカウンタ 1 0 6 0 の出力を受けて、対応する列アドレスのプリデコードを行なうコラムプリデコーダ 1 1 3 4 と、内部クロック信号 *i n t . C L K* に応じて動作する入力バッファ 1 0 4 0 ～ 1 0 4 4 を介してアドレス入力端子に与えられるバンクアドレス *B A 0 ～ B A 2* を受け、指定されたバンクアドレス値を保持するバンクアドレスラッチ 1 0 5 2 と、バンクアドレスラッチ 1 0 5 2 の出力を受けて、バンクアドレスをデコードするバンクデコーダ 1 1 2 2 とを備える。

#### 【 0 0 1 6 】

なお、アドレス信号入力端子 1 1 1 2 に与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによって、モードレジスタ中にデータを書込むためにも用いられる。たとえば、バースト長 *B L* や、*C A S* レイテンシ *C L* の値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

#### 【 0 0 1 7 】

また、バンクアドレス信号 *B A 0 ～ B A 2* は、ロウ系のアクセス時およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、アドレス信号入力バッファ 1 0 4 0 ～ 1 0 4 4 に与えられたバンクアドレス信号 *B A 0 ～*

BA 2 は、バンクアドレスラッチ 1 0 5 2 に取込まれた後、バンクデコーダ 1 1 2 2 によりデコードされ、そして、各メモリアレイブロック（バンク）に伝達される。

#### 【 0 0 1 8 】

半導体記憶装置 1 0 0 0 は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位であるバンク 0 ～バンク 7 として動作するメモリアレイブロック 1 0 0 a ～1 0 0 g と、バンクデコーダ 1 1 2 2 からの出力およびロウブリデコーダ 1 1 3 6 からの出力に応じて、対応するバンク中の行（ワード線）を選択するためのロウデコーダ 1 2 4 4 と、コラムブリデコーダ 1 1 3 4 からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムデコーダ 1 2 4 2 と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータをグローバル I / O バス G - I / O に与え、書込動作においては、バス G - I / O により伝達された書込データを対応するバンクに与える I / O ポート 1 2 6 6 と、書込動作において、外部から与えられた書込データを保持し、バス G - I / O に与え、読出動作において、バス G - I / O により伝達された読出データを保持するデータ入出力回路 1 0 8 6 と、データ入出力回路 1 0 8 6 とデータ入出力端子 1 0 7 0 との間で入出力データ D Q 0 ～D Q 3 1 のやり取りを行なうための双方向入出力バッファ 1 0 7 2 ～1 0 8 2 とを含む。

#### 【 0 0 1 9 】

双方向入出力バッファ 1 0 7 2 ～1 0 8 2 は、モードレジスタ 1 0 4 6 に保持された動作モードデータに応じて、内部クロック信号に同期して動作する。

#### 【 0 0 2 0 】

図 3 6 は、従来のシステム L S I に外部から供給される電源電位について説明をするための概念図である。

#### 【 0 0 2 1 】

図 3 5 を参照して、システム L S I は、チップ C H にロジック部 L G と D R A M 部 M E M とを搭載している。D R A M 部には、昇圧電位 V P P を発生する電源発生回路 V G E N 1 と、基板電位 V B B を発生する電源発生回路 V G E N 2 とを含んでいる。

【0 0 2 2】

ロジック部 L G には、外部から端子 T 5 0 を介して 3. 3 V の電源電位 L V D D H が与えられ、端子 T 5 1 を介して 1. 5 V の電位 L V D D L が与えられる。一方、D R A M 部 M E M には、端子 T 5 2 を介して外部から 3. 3 V の電源電位 D V D D H が与えられ、端子 T 5 3 を介して 1. 5 V の電源電位 D V D D L が与えられる。

【0 0 2 3】

なお、待機時における消費電流を低減させる参考となる先行文献として特許文献 1（特開平 1 1 - 1 5 0 1 9 3 号公報）がある。

【0 0 2 4】

【特許文献 1】

特開平 1 1 - 1 5 0 1 9 3 号公報

【0 0 2 5】

【発明が解決しようとする課題】

システム L S I においては、D R A M 部 M E M のメモリセルに蓄積したデータを保持したまま待機状態において消費電源電流を削減するために、ロジック部 L G に供給される電源電位 L V D D H, L V D D L を 0 V にして電源電流の供給を停止してロジック部 L G において消費される待機時の消費電流を削減することがしばしば行なわれている。

【0 0 2 6】

しかしながら、携帯端末装置等においては、バッテリーによる動作は、なるべく長時間可能であることが好ましい。そのためには、システム L S I においてできる限り消費電力を削減する必要がある。

【0 0 2 7】

システム L S I が内蔵している D R A M 部では、メモリセルに蓄積したデータを保持しておくために、待機時においてもリフレッシュ動作をする必要がある。リフレッシュ動作の実行は、一定期間のインターバルをあけて 1 サイクルごとにリフレッシュを実施する方法と、すべてのメモリセルを連続的にリフレッシュを行ない、この連続したリフレッシュを一定時間ごとに行なう方法とがある。いず

れの方法においても、リフレッシュ動作を実施している期間は、DRAM部における回路動作が行なわれ、トランジスタの活性化に伴うリーク電流が発生する。動作の高速化および電源電位の低電圧化に伴い使用するMOSトランジスタのゲート絶縁膜厚をうすくするほど、動作時および待機時のリーク電流が大きくなり、全体の消費電流が増大されてしまう。

#### 【0028】

図37は、図36に示したDRAM部MEMの周辺回路に供給される電源電位を説明するための概念図である。

#### 【0029】

図36、37を参照して、DRAM部MEMに供給される電源電位DVDDLは、クロック制御部1402，ロウ系コマンド制御部1404，コラム系コマンド制御部1406，ロウ系アドレス制御部1408，バンクアドレス制御部1410，コラム系アドレス制御部1412，入出力データ系制御部1414およびセルフリフレッシュ系制御部1416に供給される。図36に示したようなメモリアレイ部以外の周辺回路においても、従来においては外部から電源電位DVDDLが供給されていたため、リフレッシュ動作に必要な回路、たとえば入出力データ系制御部1414等においては、待機時において無視できないゲートリーク電流、ソースドレイン間リーク電流等トランジスタに関わるリーク電流が発生していた。

#### 【0030】

本発明の目的は、待機時においてDRAM部に蓄積した情報を保持したまま消費電源電流を小さく抑えることができるパワーダウンモードを備えた半導体装置を提供することである。

#### 【0031】

##### 【課題を解決するための手段】

この発明は、要約すると、第1のモードと消費電流が第1のモードよりも低減される第2のモードとを動作モードとして有する半導体装置であって、主電源線と、副電源線と、第1のスイッチ回路と、内部回路とを備える。第1のスイッチ回路は、第1のモードにおいて副電源線を主電源線と接続し、第2のモードにお

いては副電源線を主電源線から分離する。内部回路は、第 1 のモードにおいて入力信号に応じて動作を行ない、第 2 のモードにおいては待機状態となる。内部回路は、第 2 のモードにおいて非導通状態に維持される所定厚のゲート絶縁膜を有する第 1 の電界効果型トランジスタと、主電源線に接続され、第 2 のモードにおいて導通状態に維持される、所定厚よりも厚いゲート絶縁膜を有する第 2 の電界効果型トランジスタとを含む。

#### 【 0 0 3 2 】

この発明の他の局面に従う半導体装置は、第 1 のモードと消費電流が第 1 のモードよりも低減される第 2 のモードとを動作モードとして有する半導体装置であって、第 1 ～第 3 の内部回路と、トランスミッションゲートとを備える。

第 1 の内部回路は、第 1、第 2 のモードにおいて電源電位が与えられる。第 2 の内部回路は、第 1 のモードで活性化され少なくとも 1 つの第 1 のタイプの電界効果型トランジスタを含む。トランスミッションゲートは、第 2 の内部回路の出力と第 1 の内部回路の入力ノードとを第 1 のモードにおいて接続し、第 2 のモードにおいては分離する、第 1 のタイプの電界効果型トランジスタよりもゲート絶縁膜厚が厚い第 2 のタイプの電界効果型トランジスタを含む。第 3 の内部回路は、少なくとも 1 つの第 2 のタイプの電界効果型トランジスタを含み、第 2 のモードで活性化され入力ノードを駆動する。

#### 【 0 0 3 3 】

この発明のさらに他の局面に従う半導体装置は、セルフリフレッシュモードと通常モードとを動作モードとして有する半導体装置であって、ダイナミック型のメモリアレイと、第 1 および第 2 の内部回路とを備える。第 1 の内部回路は、少なくとも 1 つの第 1 のタイプの電界効果型トランジスタを含み、通常モードで活性化され、セルフリフレッシュモードで非活性化される。第 2 の内部回路は、第 1 のタイプの電界効果型トランジスタよりもゲート絶縁膜厚が厚い第 2 のタイプの電界効果型トランジスタを少なくとも 1 つ含み、セルフリフレッシュモードで活性化される。

#### 【 0 0 3 4 】

この発明のさらに他の局面に従う半導体装置は、待機時に第 1 の電位にプリチ

ヤージされる信号線と、第 1 および第 2 の電界効果型トランジスタとを備える。第 1 の電界効果型トランジスタは、信号線を第 1 の電位とは異なる第 2 の電位に結合する。第 2 の電界効果型トランジスタは、信号線を待機時に第 1 の電位に結合し、第 1 の電界効果型トランジスタよりもゲート絶縁膜厚が厚い。

【 0 0 3 5 】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【 0 0 3 6 】

〔実施の形態 1〕

図 1 は、本発明の実施の形態 1 の半導体装置 1 の構成を示す概略ブロック図である。

【 0 0 3 7 】

図 1 を参照して、半導体装置 1 は、外部ピン端子群 P G に結合され、指令された処理を実行する大規模なロジック部 2 と、ロジック部 2 に内部配線を介して結合され、ロジック部 2 が必要とするデータを格納する D R A M 部 4 とを含む。ロジック部 2 は、クロック信号 C L K, / C L K、制御信号 C K E, / C S, / R A S, / C A S, / W E と、データ取込みのための参照電位 V r e f と、行アドレス信号 R A 0 ~ R A 1 2 と、列アドレス信号 C A 0 ~ C A 1 0 と、バンクアドレス信号 B A 0 ~ B A 2 とを D R A M 部 4 に対して出力する。そして、ロジック部 2 と D R A M 部 4 とはデータ信号 D Q 0 ~ D Q 3 1 をやり取りする。

【 0 0 3 8 】

ロジック部 2 と D R A M 部 4 とを 1 チップに集積化した場合には、授受するための信号配線の本数を個別のチップにしていた場合よりも増やすことが容易であるので、図 1 に示した構成においては、いわゆるアドレスピンマルチプレクスは行なわれておらず、ロジック部から列アドレスと行アドレスは別々の配線で D R A M 部に伝達される構成となっている。

【 0 0 3 9 】

D R A M 部 4 は、ロジック部 2 から与えられる相補なクロック信号 C L K および / C L K をバッファ処理するクロック入力バッファ 5 0 および 5 2 と、クロッ

ク入力バッファ 5 0 および 5 2 の出力を受けて内部クロック信号  $i n t . C L K$  を出力する内部制御クロック信号生成回路 1 1 8 と、制御信号  $C K E$  ,  $/ C S$  ,  $/ R A S$  ,  $/ C A S$  および  $/ W E$  を内部クロック信号  $i n t . C L K$  に応じて受ける入力バッファ 1 2 ~ 2 0 と、入力バッファ 1 2 ~ 2 0 を介して制御信号を受け内部回路の動作を制御するための内部制御信号を出力するモードデコーダ 1 2 0 とを含む。

#### 【 0 0 4 0 】

クロックイネーブル信号  $C K E$  は、チップへの制御信号の入力を可能とする指示をするための信号であり、クロックイネーブル信号が活性化されないと、制御信号の入力が許可されず、D R A M 部 4 はロジック部とデータ授受を行なわない。

#### 【 0 0 4 1 】

チップセレクト信号  $/ C S$  は、コマンド信号が入力されているか否かを識別するための信号であり、この信号が活性化している状態（L レベル）において、クロック信号の立上がりのエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

#### 【 0 0 4 2 】

モードデコーダ 1 2 0 は、たとえば内部制御信号として、信号  $R O W A$ 、信号  $C O L A$ 、信号  $A C T$ 、信号  $P C$ 、信号  $R E A D$ 、信号  $W R I T E$ 、信号  $A P C$  および信号  $S R$  を出力する。

#### 【 0 0 4 3 】

信号  $R O W A$  は、ロウ系のアクセスが行なわれることを示す信号であり、信号  $C O L A$  は、コラム系アクセスが行なわれることを示す信号であり、信号  $A C T$  はワード線の活性化を指示する信号である。

#### 【 0 0 4 4 】

信号  $P C$  はプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号  $R E A D$  は、列系の回路に対して読出動作を指示するための信号であり、信号  $W R I T E$  は列系の回路に対して書込動作を指示するための信号である。

## 【 0 0 4 5 】

信号 A P C はオートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号 S R はセルフリフレッシュ動作を指示するための信号であり、たとえば、待機モードにおいてロジック部からセルフリフレッシュモードを指定する制御信号の組合せが入力されると、このセルフリフレッシュ信号 S R が発生され、これに応じてセルフリフレッシュ動作が開始され、セルフリフレッシュタイマが動作し、一定時間が経過するとワード線が活性化されリフレッシュ動作が開始される。

## 【 0 0 4 6 】

D R A M 部 4 は、さらに、入力信号の H レベルまたは L レベルの判定の基準となる参照電位 V R E F を受ける。

## 【 0 0 4 7 】

D R A M 部 4 は、さらに、ロジック部から与えられるアドレス信号と制御信号との組合せに応じて所定の動作モードに対する情報、たとえばバースト長に関する情報を保持するモードレジスタ 1 2 2 と、ロジック部から行アドレス信号 R A 0 ~ R A 1 2 を受けて保持するロウアドレスラッチ 1 2 4 と、ロジック部から与えられる列アドレス信号 C A 0 ~ C A 1 0 を受けて保持するコラムアドレスラッチ 1 2 6 と、ロウアドレスラッチ 1 2 4 の出力を受けて行アドレスをプリデコードするためのロウプリデコーダ 1 4 0 と、コラムアドレスラッチ 1 2 6 に保持された列アドレスを基準としてモードレジスタ 1 2 2 からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ 1 3 4 と、バーストアドレスカウンタ 1 3 4 の出力を受けて、対応する列アドレスのプリデコードを行なうコラムプリデコーダ 1 4 2 と、内部クロック信号 i n t . C L K に応じて動作する入力バッファ 4 0 ~ 4 4 を介してロジック部から与えられるバンクアドレス B A 0 ~ B A 2 を受けて指定されたバンクアドレス値を保持するバンクアドレスラッチ 1 2 8 と、バンクアドレスラッチ 1 2 8 の出力を受けて、バンクアドレスをデコードするバンクデコーダ 1 3 6 とを含む。

## 【 0 0 4 8 】

なお、ロジック部から与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによってモードレジスタ中にデータを書込むために用いられる。たとえば、バースト長 B L や、C A S レイテンシ C L の値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

#### 【 0 0 4 9 】

また、バンクアドレス信号 B A 0 ~ B A 2 は、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、ロジック部 2 から与えられたバンクアドレス信号 B A 0 ~ B A 2 は、バンクアドレスラッチ 1 2 8 に取込まれた後、バンクデコーダ 1 3 6 によってデコードされて各メモリアレイブロック（バンク）に伝達される。

#### 【 0 0 5 0 】

D R A M 部 4 は、さらに、ロジック部から与えられたアドレス信号およびセルフリフレッシュモードを指示する信号 S R を受けてリフレッシュ時の制御を行なうリフレッシュ制御部 1 3 2 と、リフレッシュ制御部 1 3 2 が出力するロウ系制御信号およびバンク指示信号とロウプリデコーダ 1 4 0 およびバンクデコーダ 1 3 6 の出力とを信号 S R によって切換えるマルチプレクサ 1 4 4 とを含む。

#### 【 0 0 5 1 】

D R A M 部 4 は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位であるバンク 0 ~ バンク 7 として動作するメモリアレイブロック 1 0 0 a ~ 1 0 0 g と、マルチプレクサ 1 4 4 の出力に応じて対応するバンク中の行（ワード線）を選択するためのロウデコーダ 2 4 4 と、コラムプリデコーダ 1 4 2 からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムプリデコーダ 2 4 2 と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータをグローバル I / O バス G - I / O に与え、書込動作においては、バス G - I / O により伝達された書込データを対応するバンクに与える I / O ポート 2 6 6 と、書込動作において、外部から与えられた書込データを保持し、バス G - I / O に与え、読出動作において、バス G - I / O に

より伝達された読出データを保持するデータ入出力回路 1 3 0 と、データ入出力回路 1 3 0 とロジック部 2 との間で入出力データ D Q 0 ~ D Q 3 1 のやり取りを行なうためのデータ入出力バッファ 7 2 ~ 7 8 とを含む。

## 【 0 0 5 2 】

D R A M 部 4 は、さらに、外部から 3 . 3 V の電源電位 V D D H を受けてたとえば 2 . 0 ボルトの電源電位 V D D 2 を出力する V D C 回路 1 3 8 を含む。

## 【 0 0 5 3 】

図 2 は、図 1 に示したリフレッシュ制御部 1 3 2 の構成を示すブロック図である。

## 【 0 0 5 4 】

図 2 を参照して、リフレッシュ制御部 1 3 2 は、図 1 のモードデコーダ 1 2 0 からセルフリフレッシュ信号 S R を受けてセルフリフレッシュモードに移行する時にリフレッシュのスタンバイ期間を計測するタイマ 3 0 2 と、タイマ 3 0 2 の出力に応じてトリガパルス T R I G を出力するトリガパルス発生回路 3 0 4 と、トリガパルス T R I G に応じてリフレッシュにおけるワード線活性のサイクルを決定するサイクル信号 C Y C L E を出力するサイクリックタイマ 3 0 6 と、サイクル信号 C Y C L E に応じてロウ系の動作基準クロック信号 R A S C K を出力する R A S クロック発生回路 3 0 8 と、クロック信号 R A S C K を基準として所定のタイミングで信号 E Q 、 M W L 、 S O 、 P C を出力する制御用遅延回路 3 1 0 とを含む。制御用遅延回路 3 1 0 は、内部イネーブル信号 I E N が活性化されているときに信号 E Q 、 M W L 、 S O および P C を出力する。

## 【 0 0 5 5 】

信号 E Q はビット線のイコライズ期間を示す信号であり、信号 M W L はメインワード線の活性化期間を示す信号であり、信号 S O はセンスアンプの活性化期間を示す信号であり、信号 P C はプリチャージ期間を示す信号である。

## 【 0 0 5 6 】

リフレッシュ制御部 1 3 2 は、さらに、電源立上げ時のリセット信号 P O N およびセルフリフレッシュリセット信号 S R R S T に応じてリセットされてロジック部よりスタートアドレス S A D R 、エンドアドレス E A D R を受けてクロック

信号 R A S C K に応じてアドレスをインクリメントするアドレスカウンタ 3 1 2 を含む。アドレスカウンタ 3 1 2 は、メモリアレイに対してリフレッシュアドレス R e A D R を出力し、アドレスのカウントが一巡したらタイマリセット信号 T R S T をタイマ 3 0 2 に対して出力する。

## 【 0 0 5 7 】

リフレッシュ制御部 1 3 2 においてタイマ 3 0 2 は高速動作が要求されないため、高いしきい値のトランジスタで構成されており、動作中でもそのリーク電流は小さい。タイマ回路部が時間を検出すると、トリガパルス T R I G が発生され、このトリガ信号 T R I G に応じてアドレスカウンタ 3 1 2 が動作を開始する。このアドレスカウンタ 3 1 2 は、低しきい値で動作するトランジスタによって構成されている。しかし、タイマ 3 0 2 が時間を検出する以前においてリーク電流を削減するために、リセット信号によって待機状態とされる。アドレスカウンタ 3 1 2 は、後に説明する階層電源構成を採用しており、待機状態においてはリーク電流を削減することができる。

## 【 0 0 5 8 】

図 3 は、階層電源構成を説明するための回路図である。

図 3 においては、内部回路として 5 段の直列接続されるインバータ I V 1 - I V 5 が示される。初段のインバータ I V 1 へ与えられる入力信号 I N は、スタンバイサイクル時には、L レベルである。インバータ I V 1 ~ I V 5 は、各々が P チャネル MOS トランジスタ P T と、N チャネル MOS トランジスタ N T とを含む。これらの MOS トランジスタ P T および N T は、しきい値電圧の絶対値が小さな低しきい値電圧 ( $L - V_{th}$ ) MOS トランジスタである。

## 【 0 0 5 9 】

これらのインバータ I V 1 ~ I V 5 に対し、P チャネル MOS トランジスタ 3 1 5 を介して電源電位 V c c を受ける主電源線 3 2 1 と、この主電源線 3 2 1 にリークカット用の P チャネル MOS トランジスタ P Q を介して結合されるサブ電源線 3 2 3 と、N チャネル MOS トランジスタ 3 1 6 を介して接地電位 V s s を受ける主接地線 3 2 2 と、主接地線 3 2 2 にリークカット用 N チャネル MOS トランジスタ N Q を介して接続されるサブ接地線 3 2 4 とが設けられる。リークカ

ット用MOSトランジスタPQおよびNQは、そのしきい値電圧 ( $M - V_{th}$ ) の絶対値が、MOSトランジスタPTおよびNTのしきい値電圧の絶対値よりも大きく設定されるMOSトランジスタで構成される。

#### 【0060】

MOSトランジスタPQは、そのゲートに制御信号 $\phi$ を受け、MOSトランジスタNQは、ゲートに制御信号 $\phi$ を受ける。制御信号 $\phi$ は、内部回路が動作するアクティブサイクル時にはHレベルとなる。内部回路が待機状態となるスタンバイサイクル時にはLレベルとなる。一方、制御信号 $\phi$ は、アクティブサイクル時にLレベルとなり、スタンバイサイクル時にHレベルとなる。

#### 【0061】

同様に、MOSトランジスタ315は、そのゲートに制御信号 $\phi_m$ を受け、MOSトランジスタ316は、ゲートに制御信号 $\phi_m$ を受ける。制御信号 $\phi_m$ は、アクティブサイクル時やスタンバイサイクル時にはHレベルとなり、ディープスタンバイサイクルではLレベルとなる。一方、制御信号 $\phi$ は、アクティブサイクル時やスタンバイサイクル時にはLレベルとなり、ディープスタンバイサイクルではHレベルとなる。なお、ディープスタンバイサイクルは、ディープパワーダウンモードと呼ぶこともあり、消費電流が非常に少ないことが要求される半導体装置にはしばしば設けられるモードである。

#### 【0062】

内部回路において奇数段のインバータIV1、IV3、およびIV5…は、PチャネルMOSトランジスタPTのソースが主電源線321に接続され、NチャネルMOSトランジスタNTのソースがサブ接地線324に接続される。偶数段のインバータIV2、IV4、…はPチャネルMOSトランジスタPTのソースがサブ電源線323に接続され、NチャネルMOSトランジスタNTのソースが主接地線322に接続される。

#### 【0063】

ここでさらに、待機時にゲートーソース間リーク電流を削減するためにインバータIV1～IV5において丸で囲んだ側のトランジスタのゲート絶縁膜厚を厚く形成する。具体的には、インバータIV1では、主電源線321に接続される

PチャネルMOSトランジスタPTのゲート絶縁膜厚を厚く形成する。同様に、インバータIV3, IV5においても主電源線321に接続されるPチャネルMOSトランジスタのゲート絶縁膜厚を厚く形成する。一方、インバータIV2, IV3では主接地線322に接続されるNチャネルMOSトランジスタのゲート絶縁膜厚を厚く形成する。

## 【0064】

待機時においては入力信号INがLレベルになり、インバータIV1～IV5において丸で囲んだ側のトランジスタが導通状態になる。このときこれらの導通状態であるトランジスタを通常のトランジスタよりもゲート絶縁膜厚を厚くしておくことでゲートリーク電流を低減させ、待機時の消費電流を低減させることができる。

## 【0065】

図4は、図3に示した階層電源構成を有する回路の動作について説明するための波形図である。

## 【0066】

図3、図4を参照して、スタンバイサイクル時においては、制御信号φはLレベルであり、また制御信号/φはHレベルである。また、入力信号INは、Lレベルである。この状態においては、リークカット用MOSトランジスタPQおよびNQがオフ状態となる。

## 【0067】

奇数段のインバータIV1, IV3およびIV5は、その入力信号INがLレベルであるため、内部においてPチャネルMOSトランジスタPTがオン状態、NチャネルMOSトランジスタNTがオフ状態となる。PチャネルMOSトランジスタPTは、主電源線321にそのソースが接続されており、一方NチャネルMOSトランジスタNTは、サブ接地線324にそのソースが接続されている。

## 【0068】

PチャネルMOSトランジスタPTは、導通して対応の出力ノード（ドレイン）へ主電源線321上の電源電位Vccレベルの電圧を伝達すると、ソースおよびドレイン間電圧が等しくなるので電流が流れない状態となる。

## 【0069】

一方、NチャネルMOSトランジスタNTは、ゲートにLレベルの信号を受けており非導通状態となっているが、サブ接地線に結合されたソースとドレインとの間に一定値以上の電位差があるときはオフリーク電流が生じている。このサブ接地線324は、比較的高いしきい値電圧 $M-V_{th}$ を有するリークカット用MOSトランジスタNQを介して主接地線322に接続されている。したがって、インバータIV1、IV3およびIV5…からのオフリーク電流がサブ接地線324に流れても、このリークカット用MOSトランジスタNQはこれらのオフリーク電流をすべて放電することができず、サブ接地線324上の電圧レベル $SV_{ss}$ が接地電位 $V_{ss}$ よりも高くなる。

## 【0070】

このサブ接地線324上の電位 $SV_{ss}$ は、リークカット用MOSトランジスタNQの放電するリーク電流量と、内部回路に含まれるインバータ段からのオフリーク電流の総和との関係により最終的に決定される。サブ接地線324上の電位 $SV_{ss}$ が接地電位 $V_{ss}$ よりも高くなると、奇数段のインバータIV1、IV3、IV5…においてNチャネルMOSトランジスタNTのゲート-ソース間が逆バイアス状態に設定され、オフリーク電流がさらに低減される。

## 【0071】

一方、偶数段のインバータIV2、IV4、…においては、入力信号がHレベルである。これらの偶数段のインバータIV2、IV4、…においては、PチャネルMOSトランジスタPTのソースがサブ電源線323に接続され、NチャネルMOSトランジスタNTのソースが主接地線322に接続される。したがって、偶数段のインバータIV2、IV4、…においては、NチャネルMOSトランジスタはソースおよびドレインが等しくなり、接地電位 $V_{ss}$ レベルとなる。一方で、PチャネルMOSトランジスタPTでは、非導通状態であってもオフリーク電流が生じている。

## 【0072】

主電源線321とサブ電源線323の間には、比較的しきい値電圧の絶対値( $M-V_{th}$ )が大きいリークカット用MOSトランジスタPQが設けられている

。したがって、この主電源線 3 2 1 からサブ電源線 3 2 3 へのリーク電流量がリークカット用 MOS トランジスタ P Q により決定され、サブ電源線 3 2 3 上の電圧  $S V_{cc}$  は、電源電位  $V_{cc}$  レベルよりも低下する。このサブ電源線 3 2 3 上の電圧  $S V_{cc}$  の電圧レベルは、最終的にリークカット用 MOS トランジスタ P Q の供給するリーク電流と偶数段のインバータ I V 2、I V 4、…におけるオフリーク電流の総和との関係により決定される。電圧  $S V_{cc}$  が電源電位  $V_{cc}$  よりも低くなると、偶数段のインバータ I V 2、I V 4、…において、P チャネル MOS トランジスタ P T のゲートソース間が逆バイアス状態に設定されオフリーク電流がさらに低減される。

## 【 0 0 7 3 】

アクティブサイクル時においては、制御信号  $\phi$  が H レベルとなり、一方、制御信号  $\phi$  が L レベルとなり、リークカット用 MOS トランジスタ P Q および N Q がオン状態となり、主電源線 3 2 1 がサブ電源線 3 2 3 に接続され、主接地線 3 2 2 がサブ接地線 3 2 4 に接続される。

## 【 0 0 7 4 】

これにより、サブ電源線 3 2 3 上の電圧  $S V_{cc}$  が電源電位  $V_{cc}$  レベルとなり、またサブ接地線 3 2 4 上の電位  $S V_{ss}$  が接地電位  $V_{ss}$  レベルとなる。このアクティブサイクル時において、入力信号 I N が動作状態に応じて適当に変化する。内部回路を構成するインバータ I V 1 ~ I V 5 …の MOS トランジスタは低しきい値電圧の MOS トランジスタであり、高速で動作する。このとき、リークカット用 MOS トランジスタ P Q および N Q の電流供給能力は、この内部回路の動作を十分に保証することができるように大きい値に設定される。

## 【 0 0 7 5 】

スタンバイ期間においては、さらにリーク電流を低減させるために、電源線に信号  $\phi_m$ 、 $\phi_m$  で制御されるスイッチを配置し回路ブロック全体の電源をオフさせる。この電源オフ状態をディープスタンバイ状態という。ディープスタンバイ状態ではゲート絶縁膜厚のうすいトランジスタも完全にゲートリーク電流を無くすることができる。

## 【 0 0 7 6 】

このように、電源線を主電源線およびサブ電源線とし、接地線を主接地線およびサブ接地線とする階層構成にすることにより、スタンバイサイクル時において、電源線／接地線のインピーダンスを高くしてリーク電流を低減し、一方アクティブサイクル時においては、この電源線／接地線のインピーダンスを小さくして内部回路の低しきい値電圧のMOSトランジスタにより高速動作を実現する。図2のアドレスカウンタ312をこのような階層電源構成にすることにより、パワーダウンモードにおいてリフレッシュを行なわないスタンバイ期間の消費電流を低減し、かつ、リフレッシュ時には高速動作することができる半導体装置を実現することが可能となる。

## 【0077】

さらにディープスタンバイサイクルにおいては、DRAMのように動作を行なっている回路以外の回路ブロックは、VCC、VSSを伝達するスイッチを配置して電源を完全に遮断することでゲートリーク電流を無くすることができる。

## 【0078】

セルフリフレッシュが行なわれている際のスタンバイ期間には、MOSトランジスタPQ、NQを非導通状態にすることに加えて、基板電位をトランジスタのソース電位に対して低くし、リーク電流のさらに小さい状態にして使用することによりさらにリーク電流が削減できる。また、メモリアレイ中のセンスアンプのコモンソース線に流す電流を小さくすればさらにリーク電流を削減することができる。

## 【0079】

図5は、図2におけるアドレスカウンタ312の第1の例を示したブロック図である。

## 【0080】

図5を参照して、アドレスカウンタ312は、ロジック部よりスタートアドレスSADRを受けて保持するラッチ回路332と、ロジック部から与えられるエンドアドレスEADRを受けて保持するラッチ回路334と、図2のRASクロック発生回路308からのクロック信号RASCCKに応じてカウントアップ動作を行ない、リフレッシュアドレスReADR0を出力し、リフレッシュアドレス

が一巡するとタイマリセット信号  $T R S T$  を出力するカウンタ 3 3 6 とを含む。

【 0 0 8 1 】

アドレスカウンタ 3 1 2 は、さらに、カウンタ 3 3 6 が出力するリフレッシュアドレス  $R e A D R 0$  とラッチ回路 3 3 2 が保持しているスタートアドレス  $S A D R$  とを比較してリフレッシュアドレス  $R e A D R 0$  がスタートアドレス  $S A D R$  以上となったときに出力を活性化する比較回路 3 3 8 と、リフレッシュアドレス  $R e A D R 0$  とラッチ回路 3 3 4 が保持しているエンドアドレス  $E A D R$  とを比較してリフレッシュアドレス  $R e A D R 0$  がエンドアドレス  $E A D R$  以下である場合に出力を活性化させる比較回路 3 4 0 と、比較回路 3 3 8 および 3 4 0 の出力を受けて内部イネーブル信号  $I E N$  を出力する  $A N D$  回路 3 4 2 と、リフレッシュアドレス  $R e A D R 0$  を受け内部イネーブル信号  $I E N$  が活性化されたときにメモリアレイのロウデコーダに向けてリフレッシュアドレス  $R e A D R$  を出力するバッファ回路 3 4 4 とを含む。

【 0 0 8 2 】

図 6 は、図 5 に示したアドレスカウンタ 3 1 2 の動作を説明するための動作波形図である。

【 0 0 8 3 】

図 5、図 6 を参照して、時刻  $t 1$  のコマンドが入力される以前にロジック部からパワーダウンモード移行前のリフレッシュの実行指示が  $D R A M$  部に対してなされている。時刻  $t 1$  以降は、ロジック部の電源電圧が立下げられることに応じて内部クロック信号  $C L K$  は  $L$  レベルに固定され、 $D R A M$  部に入力されるクロック信号が非活性化される。

【 0 0 8 4 】

時刻  $t 1$  において制御信号  $/ C S$ 、 $/ R A S$ 、 $/ C A S$ 、 $/ W E$  の組合せで定まるコマンドによって、パワーダウンモードが設定される。

【 0 0 8 5 】

$D R A M$  を内蔵するシステム  $L S I$  では、外部からアドレスを入力する必要がないので、ロジック部から  $D R A M$  部にあたえるアドレス信号のビット数が増加しても外部端子が増加することはない。したがって、いわゆるアドレスピンマル

チプレクスを使用する必要がなく、ロウアドレスとコラムアドレスとは別の配線で伝達される。

【 0 0 8 6 】

リフレッシュする領域を指定するスタートアドレスとエンドアドレスとはロジック回路から与えられるが、リフレッシュ時には列アドレスは特に指定する必要がないので、ロジック回路は行アドレス信号  $RADD0 \sim RADDn$  としてリフレッシュスタートアドレスを与え、列アドレス信号  $CADD0 \sim CADDn$  としてリフレッシュエンドアドレスを与える。そして、スタートアドレスとエンドアドレスの間はリフレッシュを行ない、それ以外のアドレスの部分に関してはリフレッシュ動作を行なわずスキップさせる。このアドレスの特定は、たとえばバンクアドレスにしたがって行なわれるようにしてもよい。

【 0 0 8 7 】

このリフレッシュスタートアドレス  $SADR$  およびリフレッシュエンドアドレス  $EADR$  は、ロジック部が  $DRAM$  部を使用するにあたり、パワーダウンモードに移行するときに情報を保持する必要のあるメモリ領域を認識しこれに応じてパワーダウンモードに先がけてロジック部が  $DRAM$  部に対して出力するものである。そして、時刻  $t_1$  においてリフレッシュスタートアドレスおよびリフレッシュエンドアドレスが  $DRAM$  部のアドレスカウンタ 312 内においてラッチ回路 332、334 に保持されると、ロジック部の電源電圧は供給が停止され消費電力の低減が図られる。

【 0 0 8 8 】

図 1 のモードデコーダ 120 からセルフリフレッシュ信号  $SR$  がリフレッシュ制御部 132 に入力されると、図 2 のタイマ 302 において内蔵するリングオシレータなどによって基準クロックが発生され、通常動作時にリフレッシュがおこなわれてからパワーダウンモードに移行して次のリフレッシュ動作が開始されるまでの間のスタンバイ期間が計測される。

【 0 0 8 9 】

時刻  $t_2$  において、所定の時間となったためタイマ 302 が所定の出力となり、応じてトリガパルス発生回路 304 がトリガパルス  $TRIG$  を出力する。そし

て、サイクリックタイマ 3 0 6 がリフレッシュサイクルに対応する周期でサイクル信号 CYCLE を出力し、応じてクロック信号 RASCK がアドレスカウンタ 3 1 2 に入力される。アドレスカウンタ 3 1 2 のカウンタ 3 3 6 にこのクロック信号 RASCK が入力され、カウンタ 3 3 6 が、リフレッシュアドレス信号 READR0 を順次出力する。しかし、必要な情報が保持されていないメモリ領域に対してはリフレッシュ動作を行なう必要がない。そこで、消費電力低減のため、現在カウンタ 3 3 6 によって発生されているリフレッシュアドレス信号 READR0 がスタートアドレスとエンドアドレスの間にあるか否かが比較回路 3 3 8 および比較回路 3 4 0 によって判定され、応じて内部イネーブル信号 IEN が出力される。

#### 【 0 0 9 0 】

時刻  $t_2 \sim t_3$  では、リフレッシュアドレス信号がスタートアドレスよりも小さいため、バッファ回路 3 4 4 の出力は非活性化され内部イネーブル信号 IEN も非活性化される。

#### 【 0 0 9 1 】

したがって、メモリアレイにはリフレッシュアドレスは伝達されず、また、制御用遅延回路 3 1 0 からの制御信号も伝達されない。これらの信号はそのレベルが固定され、これらの信号が信号線を駆動する電流分だけ消費電流が低減される。

#### 【 0 0 9 2 】

時刻  $t_3$  において、カウンタ 3 3 6 が出力するリフレッシュアドレス READR0 とラッチ回路 3 3 2 が保持するスタートアドレスとが一致すると、比較回路 3 3 8 の出力が変化して応じて内部イネーブル信号 IEN が活性化され、リフレッシュの実行が開始される。

#### 【 0 0 9 3 】

そして、時刻  $t_4$  において、ラッチ回路 3 3 4 が保持するエンドアドレス EADR とカウンタ 3 3 6 がクロック信号 RASCK に応じてカウントアップしていたリフレッシュアドレス READR0 とが一致すると、比較回路 3 4 0 の出力が変化し、応じて内部イネーブル信号 IEN が非活性化される。すると、必要な領

域のリフレッシュが完了したことになり、以降のアドレスに対してはリフレッシュは行なわれない。そして、時刻  $t_5$  においてカウンタ 3 3 6 が発生するアドレスが一巡すると、カウンタ 3 3 6 はタイマリセット信号  $TRST$  を出力し再びタイマ 3 0 2 によってスタンバイ期間が計測される。このスタンバイの期間においてはアドレスカウンタ 3 1 2 は先に説明した階層電源構成においてスタンバイ状態に設定される。

## 【 0 0 9 4 】

時刻  $t_6$  においてタイマ 3 0 2 が再びスタンバイ期間の経過を示すと、応じてトリガパルス  $TRIG$  が活性化され、アドレスカウンタ 3 1 2 はアクティブモードに移行してリフレッシュアドレスのカウントアップを開始する。そして、時刻  $t_7$  においてリフレッシュアドレスがスタートアドレスと一致すると、再び保持すべき情報を蓄積しているメモリセルについてリフレッシュが実行される。

## 【 0 0 9 5 】

時刻  $t_8$  において、クロックイネーブル信号  $CKE$  が H レベルに活性化され、またロジック回路に電源が投入され、DRAM 部にクロック信号  $CLK$  が入力されると、パワーダウンモードにおいて途中でリフレッシュが終了してしまった場合を考慮してダミーサイクルの挿入によって全メモリエリアをまずリフレッシュする。そしてその後にロジック回路部と DRAM 部との間のデータ授受が再開される。

## 【 0 0 9 6 】

図 7 は、アドレスカウンタ 3 1 2 の変形例であるアドレスカウンタ 3 1 2 a の構成を示したブロック図である。

## 【 0 0 9 7 】

図 7 を参照して、アドレスカウンタ 3 1 2 a は、図 5 に示したアドレスカウンタ 3 1 2 の構成において、比較回路 3 3 8, 3 4 0、AND 回路 3 4 2 およびバッファ回路 3 4 4 に代えて、アドレス検出回路 3 5 2 および比較回路 3 5 4 を含む点がアドレスカウンタ 3 1 2 と構成が異なる。他の構成はアドレスカウンタ 3 1 2 と同様であり説明は繰返さない。

## 【 0 0 9 8 】

アドレス検出回路 352 は、ラッチ回路 332 および 334 からスタートアドレス SADR およびエンドアドレス EADR を受けると、全部のアドレス領域に対してリフレッシュを行なう必要があるアドレス領域の割合を検出して、応じてリフレッシュ周期を選択するサイクル選択信号 SELC を図 2 のサイクリックタイマ 306 に対して出力する。

#### 【0099】

サイクリックタイマ 306 においてはこのサイクル選択信号 SELC に応じてたとえば内蔵するカウンタ回路の段数が変更されリフレッシュ周期が変更される。この周期に応じてクロック信号 RASCK がカウンタ 336 に入力され、リフレッシュアドレス ReADR がカウントアップされる周期が変更される。たとえば、4012 のワード線アドレスを 32ms でセルフリフレッシュさせる場合、スタートアドレスとエンドアドレスの選択が、4012 のワード線のアドレスの 4 分の 1 の範囲に限定されるなら、クロック信号 RASCK の周期は 4 倍にできる。したがってリフレッシュを行なう時間を分散できるため、ピーク電流を減らすことができ待機時の低消費電力化に有利である。

#### 【0100】

さらに、リフレッシュを行わずタイマーのみが動作している期間には、DRAM のメモリアレイはディープスタンバイ状態に移行することが可能であり、これによりゲートリーク電流等も削減することができる。

#### 【0101】

カウンタ 336 が出力するリフレッシュアドレス ReADR がラッチ回路 334 の保持するエンドアドレス EADR と一致すると、比較回路 354 が図 2 のタイマ 302 に対してタイマリセット信号 TRST を出力する。

#### 【0102】

図 8 は、図 7 に示したアドレスカウンタ 312a の動作を説明するための動作波形図である。

#### 【0103】

図 7、図 8 を参照して、時刻  $t_1$  においてセルフリフレッシュコマンドが入力されリフレッシュスタートアドレスおよびリフレッシュエンドアドレスが入力さ

れ、時刻  $t_2$  に至るまでの間タイマ 3 0 2 によってスタンバイ期間が計測される点は図 6 で説明した場合と同様である。

【 0 1 0 4 】

時刻  $t_2$  においてタイマ 3 0 2 の出力の変化に応じてトリガパルス  $TRIG$  が活性化されると、サイクリックタイマ 3 0 6 は、アドレス検出回路 3 5 2 が選択したリフレッシュサイクルに応じたサイクリックパルス  $CYCLE$  を発生する。応じてカウンタ 3 3 6 は、ラッチ回路 3 3 2 から受けたスタートアドレス  $SADR$  からリフレッシュアドレス  $ReADR$  のカウントアップを開始する。したがって、図 6 の場合と異なり、リフレッシュサイクルは図 6 の場合にスキップされていたメモリ領域の割合分だけ周期が延長され、リフレッシュがエンドアドレスに至るまで実行される。

【 0 1 0 5 】

時刻  $t_5$  において、カウンタ 3 3 6 の出力するリフレッシュアドレスがエンドアドレスと一致すると、比較回路 3 5 4 からタイマリセット信号  $TRST$  が出力され、再びタイマ 3 0 2 によるスタンバイ期間の計測が開始されこの間はアドレスカウンタはスタンバイモードに設定される。

【 0 1 0 6 】

このような構成にすることにより、メモリセルのリフレッシュ間隔が許される範囲で、リフレッシュ周期を延ばすことにより消費電流のピーク値を減らすことができると共に、リフレッシュ動作を行なわない期間にはディープスタンバイ状態に移行することでゲートリーク電流を削減でき、低消費電力化に有利である。

【 0 1 0 7 】

〔実施の形態 2〕

実施の形態 1 ではリフレッシュ領域を削減することで消費電力を削減する説明を行なったが、たとえばパワーダウンモードにおいて  $DRAM$  部の内部回路も必要でない部分については電源をオフさせる構成でも低消費電力化が可能である。

【 0 1 0 8 】

図 9 は、実施の形態 2 の半導体装置に対して外部から電源供給を行なう説明をするための概念図である。

## 【 0 1 0 9 】

図 9 を参照して、半導体装置 C H にはロジック部 L G と D R A M 部 M E M が設けられており、D R A M 部には昇圧電位 V P P を発生する電圧発生回路 V G E N 1 および基板電位 V B B を発生する電圧発生回路 V G E N 2 が設けられている。

## 【 0 1 1 0 】

ロジック部 L G は、端子 T 1 を介して 3 . 3 V の電源電位 L V D D H を受け、端子 T 2 を介して 1 . 5 V の電源電位 V D D を受ける。この電源電位 V D D は、D R A M 部 M E M にも供給される。D R A M 部 M E M には、端子 T 3 を介して 3 . 3 V の電源電位 D V D D H が供給される。

## 【 0 1 1 1 】

この半導体装置においては、パワーダウンモード時には、ロジック部 L G に与えられる電源電位 L V D D H および V D D はオフ状態に設定される。D R A M 部 M E M は、パワーダウンモード時において電源電位 D V D D H のみによりメモリセルが保持している情報をリフレッシュする動作を行なう。

## 【 0 1 1 2 】

さらに、ディープパワーダウン時には、タイマー以外の D R A M 部の電源 D V D D H に接続されるメモリアレイの電源もオフ状態に制御される。

## 【 0 1 1 3 】

図 1 0 は、図 9 に示された D R A M 部において内部回路に電源電位を供給する構成を示した概念図である。

## 【 0 1 1 4 】

図 1 0 を参照して、D R A M 部には、行列状に配列されたデータ保持用のメモリセルを含むメモリアレイ A R Y 1 , A R Y 2 に対してこれらの動作を制御するための周辺回路 P C K T 1 , P C K T 2 が設けられている。

## 【 0 1 1 5 】

メモリセルアレイは高い電圧で動作し、周辺回路部は通常動作時には 1 . 5 V で動作する。特に、周辺回路部は、同一の電源が供給されていることが多い。しかも、低電圧の外部電源によって動作をさせるためには、周辺回路を構成するトランジスタのしきい値電圧を下げるなどの工夫がされている。この場合に、しき

い値電圧を下げることによるリーク電流の増大が問題となる。このリーク電流は、周辺回路の非動作状態においても電源投入中の電力ロスとなる。

## 【 0 1 1 6 】

リーク電流を低減させるため、周辺回路 P C K T 1 は、電源線 L 1, L 4 を介して外部から 1. 5 V の電源電位 V D D を受けて動作しており、パワーダウンモードにおいては電源オフ状態とされリーク電流が削減される。

## 【 0 1 1 7 】

一方、周辺回路 P C K T 2 には、パワーダウンモードにおいてもメモリアレイ A R Y 1, A R Y 2 に対してリフレッシュ動作等を行なうために電源電位 V D D 3 が与えられ続ける。D R A M 部には、図 9 で説明したように、パワーダウンモード時においては 3. 3 V の電源電位 D V D D H しか与えられておらず、このため、D R A M 部は、パワーダウンモード時には電源電位 D V D D H から周辺回路 P C K T 2 が動作するための電源電位 V D D 3 を作っている。この時、ディープパワーダウン信号 / D P W は、通常動作時およびパワーダウン時には L レベルであり電源電位 D V D D を供給している。

## 【 0 1 1 8 】

具体的には、3. 3 V の電源電位 D V D D H を受けて約 2. 0 V の電圧に降下する電圧降下回路 V D C と、電源電位 V D D と電圧降下回路 V D C の出力とを選択的に電源線 L 1, L 4 にそれぞれ供給する電源選択回路 S E 1, S E 2 とが設けられる。

## 【 0 1 1 9 】

電源選択回路 S E 1 は、セルフリフレッシュ信号 S R によって活性化され電圧降下回路 V D C の出力を電源線 L 2 に伝達する N チャネル M O S トランジスタ T r 2 と、セルフリフレッシュ信号の反転信号である信号 / S R に応じて導通し通常動作時には電源電位 V D D を電源線 L 2 に与える N チャネル M O S トランジスタ T r 1 とを含む。

## 【 0 1 2 0 】

電源選択回路 S E 2 は、セルフリフレッシュ信号 S R に応じて活性化し電圧降下回路 V D C の出力をしきい値電圧分だけ降下させて電源線 L 3 に供給するため

のトランジスタ  $T r 3$  と、信号 /  $S R$  に応じて導通状態となり外部から与えられる電源電位  $V D D$  を通常動作時に電源線  $L 3$  に供給する  $N$  チャネル  $M O S$  トランジスタ  $T r 4$  とを含む。

#### 【 0 1 2 1 】

また、ディープパワーダウン時には、信号 /  $D P W$  が  $H$  レベルになり、 $P$  チャネル  $M O S$  トランジスタ  $3 6 0$  がオフ状態になり、電源電位  $D V D D H$  の供給が電圧降下回路  $V D C$  に対してなされなくなる。 $M O S$  トランジスタ  $3 6 0$  によって完全に電源電流の供給経路を遮断することでリーク電流が減り、さらに消費電流を削減することができる。このように、セルフリフレッシュモードにおいても、リフレッシュ動作が行なわれない期間はリフレッシュ動作に必要であった周辺回路  $P C K T 2$  の電源をオフすることでさらに消費電流の低減を図ることができる。なお、タイマ  $3 6 1$  には、この時にも電源電位  $D V D D H$  の供給が行なわれている。

#### 【 0 1 2 2 】

また、パワーダウンモードが不要なユーザのために、電源線  $L 1$  と  $L 2$  を接続するスイッチ  $S W 1$  および電源線  $L 3$  と  $L 4$  とを接続するためのスイッチ  $S W 2$  が設けられている。たとえば、スイッチ  $S W 1$ 、 $S W 2$  は、半導体装置の製造工程におけるアルミマスクオプションなどでも実現することができる。

#### 【 0 1 2 3 】

図 1 1 は、図 1 0 に示した周辺回路  $P C K T 1$ 、 $P C K T 2$  のグループ分けの第 1 の例を説明するための概念図である。

#### 【 0 1 2 4 】

図 1 1 を参照して、 $D R A M$  部には、周辺回路として大きく分けてクロック制御部 4 0 2、ロウ系コマンド制御部 4 0 4、コラム系コマンド制御部 4 0 6、ロウ系アドレス制御部 4 0 8、バンクアドレス制御部 4 1 0、コラム系アドレス制御部 4 1 2、入出力データ系制御部 4 1 4 およびセルフリフレッシュ系制御部 4 1 6 が含まれている。

#### 【 0 1 2 5 】

クロック制御部 4 0 2 には、たとえば、図 1 で説明したクロック入力バッファ

5 0, 5 2 および内部制御クロック信号生成回路 1 1 8 が含まれる。

【 0 1 2 6 】

ロウ系コマンド制御部 4 0 4 には、たとえば入力バッファ 1 2 ~ 2 0 およびモードデコーダ 1 2 0 のうち、ロウ系コマンドを発生する部分が含まれる。一方コラム系コマンド制御部 4 0 6 には、入力バッファ 1 2 ~ 2 0 およびモードデコーダ 1 2 0 のうち、コラム系コマンドを発生する回路が含まれる。

【 0 1 2 7 】

ロウ系アドレス制御部 4 0 8 には、たとえばロウアドレスラッチ 1 2 4, ロウプリデコーダ 1 4 0 が含まれる。バンクアドレス制御部 4 1 0 には、たとえば、入力バッファ 4 0 ~ 4 4 およびバンクアドレスラッチ 1 2 8, バンクデコーダ 1 3 6 が含まれる。コラム系アドレス制御部 4 1 2 にはたとえば、コラムアドレスラッチ 1 2 6, バーストアドレスカウンタ 1 3 4 およびコラムプリデコーダ 1 4 2 等が含まれる。入出力データ系制御部 4 1 4 には、データ入出力バッファ 7 2 ~ 7 8 およびデータ入出力回路 1 3 0 が含まれる。またセルフリフレッシュ系制御部 4 1 6 には、リフレッシュ制御部 1 3 2 およびマルチプレクサ 1 4 4 などが含まれる。

【 0 1 2 8 】

図 1 1 に示す第 1 のグループ分けにおいては、入出力データ系制御部 4 1 4 が外部から与えられる電源電位 V D D によって動作し、他の部分は図 1 0 において説明したように電源電位 D V D D H に基づきパワーダウンモードにおいて発生される電源電位 V D D 3 によって動作する。すなわち、図 1 1 においては、周辺回路 P C K T 1 には入出力データ系制御部 4 1 4 が含まれ、周辺回路 P C K T 2 にはクロック制御部 4 0 2, ロウ系コマンド制御部 4 0 4, コラム系コマンド制御部 4 0 6, ロウ系アドレス制御部 4 0 8, バンクアドレス制御部 4 1 0, コラム系アドレス制御部 4 1 2 およびセルフリフレッシュ系制御部 4 1 6 が含まれることになる。

【 0 1 2 9 】

図 1 2 は、周辺回路のグループ分けの第 2 の例を説明するための図である。

図 1 2 を参照して、外部電源電位 V D D は、電源配線 4 2 4 を介して入出力デ

ータ系制御部 4 1 4，コラム系アドレス制御部 4 1 2，コラム系コマンド制御部 4 0 6 およびクロック制御部 4 0 2 に供給される。一方、電源電位 VDD 3 は、電源配線 4 2 2 を介してセルフリフレッシュ系制御部 4 1 6，ロウ系コマンド制御部 4 0 4，ロウ系アドレス制御部 4 0 8，バンクアドレス制御部 4 1 0 に供給される。

#### 【 0 1 3 0 】

図 1 2 に示した構成では、図 1 0 における周辺回路 PCKT 1 にはクロック制御部 4 0 2，コラム系コマンド制御部 4 0 6，コラム系アドレス制御部 4 1 2 および入出力データ系制御部 4 1 4 が含まれることになる。一方、周辺回路 PCKT 2 にはロウ系コマンド制御部 4 0 4，ロウ系アドレス制御部 4 0 8，バンクアドレス制御部 4 1 0 が含まれることになる。

#### 【 0 1 3 1 】

図 1 3 は、周辺回路のグループ分けの第 3 の例を説明するための図である。

図 1 3 を参照して、外部電源電位 VDD は、電源配線 4 2 8 を介してクロック制御部 4 0 2，コラム系コマンド制御部 4 0 6，ロウ系アドレス制御部 4 0 8，バンクアドレス制御部 4 1 0，コラム系アドレス制御部 4 1 2，入出力データ系制御部 4 1 4 に供給される。一方、電源電位 VDD 3 は、電源配線 4 2 6 を介してセルフリフレッシュ系制御部 4 1 6 およびロウ系コマンド制御部 4 0 4 に供給される。

#### 【 0 1 3 2 】

図 1 3 に示したグループ分けでは、図 1 0 における周辺回路 PCKT 1 にはクロック制御部 4 0 2，コラム系コマンド制御部 4 0 6，ロウ系アドレス制御部 4 0 8，バンクアドレス制御部 4 1 0，コラム系アドレス制御部 4 1 2，入出力データ系制御部 4 1 4 が含まれることになる。一方、周辺回路 PCKT 2 にはロウ系コマンド制御部 4 0 4 およびセルフリフレッシュ系制御部 4 1 6 が含まれることになる。

#### 【 0 1 3 3 】

次に、このように部分的にブロックの電源をオフする場合に問題となる場所について説明する。

## 【 0 1 3 4 】

図 1 4 は、メモリアレイの構成を説明するための概略図である。

図 1 4 を参照して、メモリアレイは、4 行 4 列に配列されたメモリマットを有し、各行に対応してメインワードドライバ群 1 1 4 2 が設けられ、各列に対応して I / O セレクタ 1 1 5 2 が設けられる。各メモリマットには、それぞれ対応するセンスアンプ 1 1 4 8 と、サブワードドライバ 1 1 5 0 とが設けられる。

## 【 0 1 3 5 】

まず、コラム方向の選択動作を説明すると、ドライバ 1 1 6 0 によってメインコラム線選択信号 M Y S が活性化され、S D Y S ドライバ 1 1 4 6 によってセグメントデコード Y S 選択信号 S D Y S が活性化される。これらの信号により、サブ Y S 信号 S Y S が活性化され、対応する I / O ゲート 1 1 6 2 により I / O 線 1 1 6 4 が活性化される。

## 【 0 1 3 6 】

次に、ロウ系の選択動作を説明する。まず、メインワードドライバ 1 1 5 6 によりメインワード線 M W L が活性化される。また、S D ドライバ 1 1 4 4 によってセグメントデコード線 S D が活性化される。メインワード線 M W L とセグメントデコード線 S D とにより対応するサブワードドライバ 1 1 6 8 が活性化され、応じてサブワード線 1 1 7 0 が活性化されメモリセルに接続されているアクセストランジスタが導通状態となる。応じてビット線対 1 1 5 8 によりデータが出力され、センスアンプ 1 1 6 6 により増幅されたデータが I / O 線 1 1 6 4 を介して外部に対して読出される。I / O 線 1 1 6 4 には、リードアンプ 1 1 5 4 およびライトアンプ 1 1 5 3 が接続されており、リードアンプ 1 1 5 4 とライトアンプ 1 1 5 3 は入出力ラッチ 1 1 7 2 に接続されている。入出力ラッチ 1 1 7 2 は、ロジック部とデータを授受するための入力バッファ 1 1 7 4 および出力バッファ 1 1 7 6 に接続されている。

## 【 0 1 3 7 】

図 1 1、図 1 2、図 1 3 に示したいずれのケースにおいても、入出力データ系制御部 4 1 4 は、パワーダウンモードにおいて電源がオフ状態とされる電源電位 V D D から動作電源電位の供給を受けている。したがって、パワーダウンモード

におけるセルフリフレッシュ時には、入出力ラッチ 1 1 7 2 および入力バッファ 1 1 7 4、出力バッファ 1 1 7 6 は電源がオフ状態となる。このような場合に I / O 線 1 1 6 4 が不安定な電位となると、リフレッシュ動作に悪影響を及ぼす可能性がある。

#### 【 0 1 3 8 】

図 1 5 は、書込に使用する I / O 線における電源を立上げる境界部分の構成を説明するための図である。

#### 【 0 1 3 9 】

図 1 5 を参照して、ラッチ回路 1 1 7 2 は電源電位 V D D が供給される。ラッチ回路 1 1 7 2 は、ロジック部から入出力制御部を介して伝達される書込データ信号 W D A T a、W D A T b をそれぞれ受けるフリップフロップ 1 1 7 2 a、1 1 7 2 b を含む。

#### 【 0 1 4 0 】

フリップフロップ 1 1 7 2 a、1 1 7 2 b の出力は電源電位 V D D 3 によって動作電源電位が供給されるゲート回路 5 0 4 に入力される。ゲート回路 5 0 4 は、セルフリフレッシュが実行されるときに L レベルに設定される信号 / S R とフリップフロップ 1 1 7 2 a の出力とを受ける AND 回路 5 0 5 a と、信号 / S R とフリップフロップ 1 1 7 2 b の出力とを受ける AND 回路 5 0 5 b とを含む。AND 回路 5 0 5 a の出力は、ライト I / O 線 W I O a を駆動するインバータ 1 1 5 3 a の入力に与えられ、AND 回路 5 0 5 b の出力は、ライト I / O 線 W I O b を駆動するインバータ 1 1 5 3 b の入力に与えられる。従来の構成に加えてこのようなゲート回路 5 0 4 を設けることにより、パワーダウンモードにおいて信号 / S R が L レベルに設定され、応じて AND 回路 5 0 5 a、5 0 5 b の出力は L レベルに固定され、したがって、ライト I / O 線は H レベルに固定される。

#### 【 0 1 4 1 】

インバータ 1 1 5 3 a は、電源ノードとライト I / O 線 W I O a との間に接続されゲートに AND 回路 5 0 5 a の出力を受ける P チャネル MOS トランジスタ 5 2 1 と、接地ノードとライト I / O 線 W I O a との間に接続されゲートに AND 回路 5 0 5 a の出力を受ける N チャネル MOS トランジスタ 5 2 2 とを含む。

## 【 0 1 4 2 】

インバータ 1 1 5 3 b は、電源ノードとライト I / O 線 W I O b との間に接続されゲートに A N D 回路 5 0 5 b の出力を受ける P チャネル M O S トランジスタ 5 2 3 と、接地ノードとライト I / O 線 W I O b との間に接続されゲートに A N D 回路 5 0 5 b の出力を受ける N チャネル M O S トランジスタ 5 2 4 とを含む。

## 【 0 1 4 3 】

図 1 6 は、図 1 5 におけるフリップフロップ 1 1 7 2 a の構成を示す回路図である。

## 【 0 1 4 4 】

図 1 6 を参照して、フリップフロップ 1 1 7 2 a は、入力信号 D を受けて反転するクロック信号 / C K に応じて活性化するクロックドインバータ 5 0 6 と、インバータ 5 0 6 の出力を受けて反転するインバータ 5 0 8 と、インバータ 5 0 8 の出力を受けて反転してインバータ 5 0 8 の入力部に与えるクロック信号 C K に応じて活性化されるクロックドインバータ 5 1 0 と、クロック信号 C K に応じて導通しインバータ 5 0 8 の出力を次段に伝達するトランSMissionゲート 5 1 2 と、トランSMissionゲート 5 1 2 によって伝達されたデータを受けて反転するインバータ 5 1 4 と、インバータ 5 1 4 の出力を受けてインバータ 5 1 4 の入力部に与えるクロック信号 / C K に応じて活性化されるクロックドインバータ 5 1 6 と、インバータ 5 1 4 の出力を受けて反転し出力信号 Q を出力するインバータ 5 1 8 とを含む。なお、フリップフロップ 1 1 7 2 b の構成もフリップフロップ 1 1 7 2 a と同様であり説明は繰返さない。

## 【 0 1 4 5 】

再び図 1 5 を参照して、ラッチ回路 1 1 7 2 に与えられる電源電位 V D D がパワーダウンリフレッシュモードにおいてオフ状態に設定され、フリップフロップ 1 1 7 2 a , 1 1 7 2 b の出力が不安定な状態になったときであっても、ゲート回路 5 0 4 を設けて信号 / S R でライト I / O 線を固定することにより、再度電源電位 V D D をオン状態にして通常動作に移行する際にもライト I / O 線が不安定な状態になることはない。したがって、動作を安定化させることができる。

## 【 0 1 4 6 】

さらにインバータ 1 1 5 3 a および 1 1 5 3 b は、ライト I / O 線を H レベルに固定するために、電源が供給された状態に維持される。このとき P チャンネル MOS トランジスタ 5 2 1, 5 2 3 を厚いゲート絶縁膜のトランジスタで構成するために、これらのトランジスタにおけるゲートリーク電流が削減される。ライト I / O 線は、待機状態においては H レベルに保持されており活性状態において L レベルに変位する。したがって、P チャンネル MOS トランジスタ 5 2 1, 5 2 3 のゲート絶縁膜を厚くしても、N チャンネル MOS トランジスタ 5 2 2, 5 2 4 を高速動作可能なゲート絶縁膜の薄いトランジスタとしておけばアクセス速度が遅延することはない。

## 【 0 1 4 7 】

図 1 7 は、図 1 4 で説明したリードアンプ 1 1 5 4 の前後において電源が供給される説明をするための図である。

## 【 0 1 4 8 】

図 1 7 を参照して、リード I / O 線 R I O, / R I O にはイコライズ回路 5 2 8 が接続されており、読出動作が行なわれる前に H レベルにリード I / O 線がプリチャージされる。このイコライズ回路 5 2 8 は、電源電位 V D D 3 から動作電源電位の供給を受けている。また、リード I / O 線 R I O, / R I O に読出されたデータは、リードアンプ 1 1 5 4 に与えられ、リードアンプ 1 1 5 4 は読出されたデータを増幅してラッチ 1 1 7 2 c に与える。ラッチ 1 1 7 2 c は、読出されたデータ R D A T を入出力制御部を介してロジック部に対して出力する。リードアンプ 1 1 5 4 およびラッチ 1 1 7 2 c は、パワーダウンリフレッシュモードにおいてオフ状態とされる電源電位 V D D から動作電源電位の供給を受けている。

## 【 0 1 4 9 】

図 1 8 は、図 1 7 に示したリードアンプ 1 1 5 4 およびイコライズ回路 5 2 8 の構成を示した回路図である。

## 【 0 1 5 0 】

図 1 8 を参照して、イコライズ回路 5 2 8 は、リード I / O 線 R I O, / R I O をそれぞれ電源電位 V D D 3 に結合するための P チャンネル MOS トランジスタ

538, 540を含む。PチャネルMOSトランジスタ538, 540のゲートはプリチャージ信号／PCを受ける。トランジスタ538, 540のゲート絶縁膜は厚く形成されており、ゲートリーク電流は削減される。

【0151】

プリチャージが終了し、イネーブル信号ENが活性化されると、データ信号DATAに応じてリードI／O線RIO, /RIOのいずれか一方がLレベルに駆動される。信号DATAがLレベルである場合は、インバータ541の出力がトライステートバッファ543によってNチャネルMOSトランジスタ545のゲートに伝達され、NチャネルMOSトランジスタ545は、リードI／O線／RIOをLレベルに駆動する。一方、信号DATAがHレベルである場合は、信号DATAはトライステートバッファ542によってNチャネルMOSトランジスタ544のゲートに伝達され、NチャネルMOSトランジスタ544は、リードI／O線RIOをLレベルに駆動する。

【0152】

リードアンプ1154は、接地ノードと出力ノードNOUT1との間に接続されゲートにリードI／O線／RIOが接続されるNチャネルMOSトランジスタ534と、出力ノードNOUT2と接地ノードとの間に接続されそのゲートにリードI／O線RIOが接続されるNチャネルMOSトランジスタ536と、電源電位VDDが与えられるノードとノードNOUT2との間に接続されゲートがノードNOUT1に接続されるPチャネルMOSトランジスタ532と、電源電位VDDが与えられるノードとノードNOUT1との間に接続されゲートがノードNOUT2に接続されるPチャネルMOSトランジスタ530とを含む。

【0153】

このようにリードアンプとイコライズ回路に電源電位を供給することで、電源電位VDDをパワーダウンリフレッシュモードにおいてオフ状態にしてもアレイのデータに影響を及ぼさないようにすることができる。

【0154】

図19は、リフレッシュ制御系の低消費電力化を図るために一部のブロックにしきい値の高いトランジスタ、ゲート絶縁膜の厚いトランジスタを使用する説明

をするためのブロック図である。

【 0 1 5 5 】

図 1 9 を参照して、セルフリフレッシュモードがモードデコーダより設定されるとバッファ 6 2 6 によってセルフリフレッシュ信号 S R が活性化される。応じてアドレス制御回路 6 1 4、S R タイマ 6 1 6、S R 制御回路 6 1 8 が動作を開始する。通常アドレス信号 A d d はバッファ 6 0 6 に入力され、バッファ 6 0 6 の出力とアドレス制御回路 6 1 4 が出力するリフレッシュアドレス R e f - A d d はマルチプレクサ 6 0 8 に入力される。マルチプレクサ 6 0 8 はセルフリフレッシュ信号 S R が活性化されるとリフレッシュアドレス信号を出力する。マルチプレクサ 6 0 8 の出力はアドレス比較回路 6 0 4 および置換指示回路 & プリデコーダ 6 1 0 に与えられる。アドレス比較回路 6 0 4 はヒューズ 6 0 2 によって設定された置換アドレス信号と入力されたアドレス信号とを比較してアドレスが一致した場合には置換指示回路 & プリデコーダ 6 1 0 に置換指示を行なう。置換指示回路 & プリデコーダ 6 1 0 はバッファ 6 1 2 にデコード結果を出力し、バッファ 6 1 2 はメモリアレイに対してアレイの選択情報を出力する。

【 0 1 5 6 】

一方、コマンド信号の伝達経路について説明すると、選択回路 6 2 0 は、通常動作時にはバッファ 6 2 2 を介してコマンド信号 C M D をモードデコーダより受ける。また他方の入力には S R 制御回路 6 1 8 からセルフリフレッシュ時のコマンド信号を受ける。そして、選択回路 6 2 0 は、セルフリフレッシュ信号 S R に応じていずれかのコマンド信号をバッファ 6 2 4 に出力し、バッファ 6 2 4 はそのコマンド信号をアレイに対して伝達する。また、ロジック部からのリセット信号を伝達するためにバッファ 6 2 8 が設けられている。

【 0 1 5 7 】

図 1 9 に示した構成例において、高速動作が要求される回路部分についてはゲート絶縁膜が薄くしきい値電圧が低いトランジスタを使用する必要があるが、セルフリフレッシュ時には、通常の回路と異なるゲート絶縁膜が厚くしきい値電圧が高いトランジスタで構成された別回路を活性化させる。すなわちセルフリフレッシュ時には、通常動作時のような高速な読出動作を必要としないからである。

また、リフレッシュに必要な信号もイコライズ信号の非活性化、ワード線の活性化、センスアンプの活性化のみでよい。たとえば図 1 9 においては、アドレス制御回路 6 1 4、S R タイマ 6 1 6、S R 制御回路 6 1 8 はしきい値電圧の高いトランジスタを使用して構成されている。また、ヒューズ 6 0 2 およびアドレス比較回路 6 0 4 も、3. 3 V の電源電圧で動作するゲート酸化膜が厚いしきい値電圧が高いトランジスタで構成される。

## 【 0 1 5 8 】

なお、マルチプレクサ 6 0 8、6 2 0 およびバッファ 6 2 6、6 2 8 はゲート酸化膜が厚いトランジスタで構成されているが、1. 5 V の電源電圧で動作するようになっている。

## 【 0 1 5 9 】

図 2 0 は、通常動作時のアドレスとセルフリフレッシュ時のアドレスとをマルチプレクスするための回路構成を示す回路図である。

## 【 0 1 6 0 】

図 2 0 を参照して、通常時に入力されるアドレス信号 A d d およびセルフリフレッシュモードにおいて入力されるリフレッシュアドレス信号 R e f - A d d は図 1 9 におけるマルチプレクサ 6 0 8 に入力される。マルチプレクサ 6 0 8 は、アドレス信号 A d d およびリフレッシュアドレス信号 R e f - A d d の各ビットをマルチプレクスするマルチプレクサ 6 0 8 a ~ 6 0 8 c を含む。これらのマルチプレクサはセルフリフレッシュ信号 S R に応じアドレス信号を選択してデコード部 5 5 0 に出力する。デコード部 5 5 0 は、ノード N 1 と接地ノードとの間に直列に接続された N チャネル M O S トランジスタ 5 5 2 ~ 5 5 6 を含む。N チャネル M O S トランジスタ 5 5 2 ~ 5 5 6 のゲートには、マルチプレクサ 6 0 8 a ~ 6 0 8 c の出力がそれぞれ与えられる。また、ノード N 1 は、プリチャージ信号 / P C に応じて P チャネル M O S トランジスタ 5 6 6 によって電源電位 V D D 3 に結合される。また、ノード N 1 の電位は、インバータ 5 5 8 によって反転され出力信号 O U T として出力される。信号 O U T は、ノード N 1 と電源電位 V D D 3 が与えられるノードとの間に接続される P チャネル M O S トランジスタ 5 6 4 のゲートに与えられる。

## 【0161】

インバータ558は、電源電位VDD3が与えられるノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ560、NチャネルMOSトランジスタ562を含んでいる。PチャネルMOSトランジスタ560およびNチャネルMOSトランジスタ562のゲートはともにノードN1に接続され、PチャネルMOSトランジスタ560およびNチャネルMOSトランジスタ562の接続ノードからは出力信号OUTが出力される。

## 【0162】

図21は、アドレスをマルチプレクスする第2の構成を示した回路図である。

図21を参照して、第2の構成例である回路609は、第1の構成例の回路549の構成においてマルチプレクサ608およびデコード部550に代えてデコード部568および570を含む。他の構成は、図20に示した回路構成例549と同様であり説明は繰返さない。デコード部568は、通常動作におけるアドレス信号Addをそれぞれゲートに受けノードN1と接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ572～576を含む。

## 【0163】

デコード部570は、リフレッシュ時に用いられるリフレッシュアドレスRef-Addをそれぞれゲートに受けノードN1と接地ノードとの間に接続される直列に接続されたNチャネルMOSトランジスタ578～582を含む。通常動作時においては、リフレッシュアドレスRef-Addは各ビットがすべてLレベルに設定され、一方、セルフリフレッシュモードにおいては通常アドレス信号Addは各ビットがLレベルに固定される。このような構成において、デコード部570に含まれるNチャネルMOSトランジスタをゲート絶縁膜が厚くしきい値電圧Vthが高いNチャネルMOSトランジスタにすることにより、パワーダウンモードにおいてセルフリフレッシュ動作をしている場合でもリーク電流を減らすことができる。

## 【0164】

なお、デコード部568からデコード部570への動作切換のためにデコード部568を非動作状態にするための制御は、必ずしもアドレス信号Addのアド

レスビットをすべてLレベルにする必要はなく、セルフリフレッシュ時に必ずL固定になるアドレスをトランジスタ572～576のうちの1つに与えることでも実現できる。同様に、通常動作時にデコード部570を動作させないようにする構成もトランジスタ578～582のいずれか1つに通常動作時に必ずL固定になるアドレスを与えることでも実現することができる。

## 【0165】

次に、図19で示したような複数の電源電位が存在する場合においてコマンド信号をメモリアレイに伝達するために用いられている回路構成について説明しておく。

## 【0166】

図22は、レベル変換回路の構成を示した回路図である。

図22を参照して、このレベル変換回路は、ノードN3と接地ノードとの間に接続されゲートにコマンド信号CMDを受けるNチャネルMOSトランジスタ638と、ノードN2とNチャネルMOSトランジスタ638のゲートとの間に接続されゲートに電源電位VDDが与えられるNチャネルMOSトランジスタ636と、ノードN2と電源電位VDDが与えられるノードとの間に接続されゲートがノードN3に接続されるPチャネルMOSトランジスタ632と、電源電位VDDが与えられるノードとノードN3との間に接続されゲートがノードN2に接続されるPチャネルMOSトランジスタ634とを含む。ノードN3からは出力信号OUTが出力される。

## 【0167】

このような構成にすれば、コマンド信号CMDの出力振幅は接地電位から電源電位VDDの間の振幅に変換される。

## 【0168】

図23は、図21における選択回路620の構成を示した回路図である。

図23を参照して、選択回路620は、ノードN6と接地ノードとの間に接続されゲートにコマンド信号CMDを受けるNチャネルMOSトランジスタ648と、ノードN4とNチャネルMOSトランジスタ648のゲートとの間に接続されゲートにセルフリフレッシュ信号の反転信号/SRが与えられるNチャネルM

OSトランジスタ646と、ノードN4と電源電位VDD3が与えられるノードとの間に接続されゲートがノードN6に接続されるPチャネルMOSトランジスタ642と、電源電位VDD3が与えられるノードとノードN6との間に接続されゲートがノードN4に接続されるPチャネルMOSトランジスタ644とを含む。ノードN6からは出力信号OUTが出力され、ノードN4からは出力信号／OUTが出力される。

## 【0169】

選択回路620は、さらに、接地ノードとノードN6との間に接続されゲートにリフレッシュ時のコマンド信号Ref-CMDを受けるNチャネルMOSトランジスタ652と、ノードN4とNチャネルMOSトランジスタ652のゲートとの間に接続されゲートにセルフリフレッシュ信号SRを受けるNチャネルMOSトランジスタ650を含む。NチャネルMOSトランジスタ650および652は、セルフリフレッシュモードにおいてのみ動作するため、通常動作時よりもスピードは要求されないのでゲート絶縁膜が厚くしきい値電圧が高くリーク電流が少ないNチャネルMOSトランジスタを使用する。このような構成にすることによってセルフリフレッシュ時におけるリーク電流を減らすことができ、チップの低消費電力化を一層進めることができる。

## 【0170】

次に、複数の電源電位の回路間において信号のレベルを変換して伝達する構成について説明する。

## 【0171】

図24は、1.5Vから3.3Vにレベル変換を行なう第1のレベル変換回路660の構成を示した回路図である。

## 【0172】

図24を参照して、レベル変換回路660は、モード信号を受けて反転するインバータ666と、インバータ666の出力に応じて導通して通常時に与えられる信号SigをノードN10に伝達するトランスミッションゲート662と、モード信号Modeによって活性化されリフレッシュ時の信号Refを受けて反転するクロックドインバータ668と、ノードN10が入力に接続されるインバー

タ 670 と、3.3V の電源電位が与えられるノードと接地ノードとの間に直列に接続される P チャンネル MOS トランジスタ 672、N チャンネル MOS トランジスタ 676 と、3.3V の電源電位が与えられるノードと接地ノードとの間に直列に接続される P チャンネル MOS トランジスタ 674、N チャンネル MOS トランジスタ 678 とを含む。N チャンネル MOS トランジスタ 676 のゲートはノード N10 に接続される。N チャンネル MOS トランジスタ 678 のゲートはインバータ 670 の出力を受ける。P チャンネル MOS トランジスタ 672 の出力は P チャンネル MOS トランジスタ 674 と N チャンネル MOS トランジスタ 678 の接続ノードに接続されている。また P チャンネル MOS トランジスタ 674 のゲートは P チャンネル MOS トランジスタ 672 と N チャンネル MOS トランジスタ 676 の接続ノードに接続されている。P チャンネル MOS トランジスタ 674 と N チャンネル MOS トランジスタ 678 の接続ノードから出力信号 Sout が出力される。

#### 【0173】

レベル変換回路 660 においては、トランジスタ 672～678 はしきい値電圧の高い MOS トランジスタが使用される。したがって、この部分においてはリフレッシュモードにおけるリーク電流は小さく設定されている。他のトランジスタおよびインバータはしきい値電圧が低い MOS トランジスタが使用される。このような構成が一番トランジスタ数が少なくレベル変換を実現することができる。

#### 【0174】

図 25 は、レベル変換を行なう第 2 の回路例であるレベル変換回路 680 の構成を示す回路図である。

#### 【0175】

図 25 を参照して、レベル変換回路 680 は、信号 Sig を受けて反転するインバータ 686 と、モード信号 Mode を受けて反転するインバータ 692 と、モード信号 Mode に応じて活性化し信号 Ref を受ける直列に接続されたクロックドインバータ 694、696 を含む。クロックドインバータ 694 の出力はノード N12 に接続され、クロックドインバータ 696 の出力はノード N13 に接続される。

## 【0176】

レベル変換回路680は、さらに、モード信号ModeがLレベルのときに導通して信号SigをノードN12に伝達するトランスミッションゲート682と、モード信号ModeがLレベルのときに導通してインバータ686の出力をノードN13に伝達するトランスミッションゲート688とを含む。

## 【0177】

レベル変換回路680は、さらに、ノードN14と接地ノードとの間に接続されゲートがノードN12に接続されるNチャネルMOSトランジスタ702と、ノードN15と接地ノードとの間に接続されゲートがノードN13に接続されるNチャネルMOSトランジスタ704と、3.3Vが与えられる電源ノードとノードN14との間に接続されゲートがノードN15に接続されるPチャネルMOSトランジスタ698と、3.3Vの電源電位が与えられるノードとノードN15との間に接続されゲートがノードN14に接続されるPチャネルMOSトランジスタ700とを含む。

## 【0178】

レベル変換回路680の構成においては、トランスミッションゲートおよび信号Ref側の入力の系をすべて3.3V制御のゲート絶縁膜が厚く高しきい値電圧のトランジスタによって構成している。したがって、図24に示したレベル変換回路660に比べてトランジスタ数が多くなりかつ速度が少し遅くなるが、トランスミッションゲート682、688のゲート電位は3.3Vで制御されるため、1.5Vの振幅で信号を与える必要がなく1.5Vの電源電位で動作する回路系の電源をすべて切ることができる。

## 【0179】

つまり、通常時はゲート絶縁膜が薄いトランジスタによって構成される回路から出力される信号Sigおよび、ゲート絶縁膜が薄いトランジスタによって構成されるインバータ686の出力によってノードN12、N13を駆動する。一方、待機時には、ゲート絶縁膜が厚いトランジスタによって構成されるクロックドインバータ694、696によってノードN12、N13を駆動する。このようにすることで、通常時のアクセス速度を維持しながら待機時のゲートリーク電流

を削減することができる。

#### 【 0 1 8 0 】

図 2 6 は、レベル変換をする回路の第 3 の例であるレベル変換回路 7 1 0 の構成を示した回路図である。

#### 【 0 1 8 1 】

図 2 6 を参照して、レベル変換回路 7 1 0 は、信号 *S i g* を受けて反転するインバータ 7 2 2 と、ノード *N 2 3* と接地ノードとの間に接続されゲートにモード信号 *M o d e* を受ける *N* チャンネル MOS トランジスタ 7 2 0 と、ノード *N 2 0* とノード *N 2 3* との間に接続されゲートに信号 *S i g* を受ける *N* チャンネル MOS トランジスタ 7 1 6 と、ノード *N 2 1* とノード *N 2 3* との間に接続されゲートにインバータ 7 2 2 の出力を受ける *N* チャンネル MOS トランジスタ 7 1 8 と、ノード *N 2 0* と 3. 3 V が与えられる電源ノードとの間に接続されゲートがノード *N 2 1* に接続される *P* チャンネル MOS トランジスタ 7 1 2 と、3. 3 V が与えられる電源ノードとノード *N 2 1* との間に接続されゲートがノード *N 2 0* に接続される *P* チャンネル MOS トランジスタ 7 1 4 とを含む。

#### 【 0 1 8 2 】

レベル変換回路 7 1 0 は、さらに、モード信号 *M o d e* を受けて反転するインバータ 7 2 8 と、モード信号 *M o d e* に応じて活性化して信号 *R e f* を受けて反転するクロックドインバータ 7 3 0 と、ノード *N 2 1* とノード *N 2 4* とをモード信号およびインバータ 7 2 8 の出力に応じて結合するトランスミッションゲート 7 2 4 とを含む。

#### 【 0 1 8 3 】

レベル変換回路 7 1 0 は、インバータ 7 2 2 以外の構成要素はすべてしきい値電圧の高いトランジスタで構成されている。図 2 5 で示したレベル変換回路 6 8 0 との違いは、1. 5 V の振幅で与えられる信号 *S i g* をレベル変換した後にリフレッシュ時に与えられる信号 *R e f* とマルチプレクスする構成になっている点である。

#### 【 0 1 8 4 】

レベル変換回路 7 1 0 は、レベル変換回路 6 8 0 に比べてトランジスタ数を少

なくして構成することができる。

【 0 1 8 5 】

次に、コラム選択線の制御に関する構成を説明する。コラム選択線は 1. 5 V 系の電源をオフ状態にすると、フローティングになってしまうため、その電位を固定する必要がある。

【 0 1 8 6 】

図 2 7 は、コラム選択線固定回路 7 3 0 の構成を示す回路図である。

図 2 7 を参照して、コラム選択線固定回路 7 3 0 は、ライトイネーブル信号 W E およびアドレス信号 Y a d d を受ける N A N D 回路 7 3 2 と、セルフリフレッシュモード時に H レベルとなる信号 S e l f を受けて反転するインバータ 7 3 6 と、N A N D 回路 7 3 2 およびインバータ 7 3 6 の出力を受ける N A N D 回路 7 3 4 と、N A N D 回路 7 3 4 の出力を受けて反転してライト用コラム選択線 C S L W L に出力が接続されているインバータ 7 3 8 と、N A N D 回路 7 3 4 の出力を受けてその出力がライト用コラム選択線 C S L W R に接続されているインバータ 7 4 0 とを含む。

【 0 1 8 7 】

コラム選択線固定回路 7 3 0 は、すべて、しきい値電圧が低い 1. 5 V で動作するトランジスタで構成されている。セルフリフレッシュ時には信号 S e l f が H レベルとなるため、N A N D 回路 7 3 4 の出力は H レベルに固定され、応じてライト用コラム選択線 C S L W L, C S L W R はともに L レベルに固定される。

【 0 1 8 8 】

図 2 8 は、コラム選択線を固定する第 2 の構成例であるコラム選択線固定回路 7 4 0 の構成を示す回路図である。

【 0 1 8 9 】

図 2 8 を参照して、コラム選択線固定回路 7 4 0 は、ライトイネーブル信号 W E およびアドレス信号 Y a d d を受ける N A N D 回路 7 4 2 と、N A N D 回路 7 4 2 の出力を 1. 5 V の振幅から 2. 5 V または 3. 3 V の振幅に変換するレベルシフタ 7 4 4 と、信号 S e l f を受けて反転するインバータ 7 4 6 と、インバータ 7 4 6 および信号 S e l f に応じて導通しレベルシフタ 7 4 4 の出力をノー

ドN30に伝達するトランSMissionゲート748と、インバータ746の出力をゲートに受けノードN30を2.5Vあるいは3.3Vの電源電位と結合するためのPチャネルMOSトランジスタ752と、ノードN30に入力が接続されその出力がライト用コラム選択線CSLWLに接続されているインバータ754と、ノードN30に入力が接続され出力がコラム選択線CSLWRに接続されるインバータ756とを含む。

## 【0190】

コラム選択線固定回路740は、コラム選択線が2.5Vもしくは3.3Vで動作する場合に用いられる。トランSMissionゲートはしきい値電圧が高いトランジスタが用いられ、2.5V/3.3Vのプリチャージ動作はしきい値電圧が高いPチャネルMOSトランジスタ752によって行なわれる。セルフリフレッシュモード時には、信号SelfはHレベルに活性化され、応じてPチャネルMOSトランジスタ752が導通しまたトランSMissionゲート748は非導通状態となるため、ノードN30は、Hレベルに固定され、応じてライト用コラム選択線CSLWL, CSLWRとともにHレベルに固定される。このような構成においては、電源がオフ状態となっているNAND回路742およびレベルシフタ744がノードN30とトランSMissionゲート748によって分離されるため、コラム選択線のノイズを減少させることができる。

## 【0191】

図29は、コラム選択性を固定するための第3の構成例であるコラム選択線固定回路757の構成を示した回路図である。

## 【0192】

図29を参照して、コラム選択線固定回路757は、ライトイネーブル信号WEおよびアドレス信号Yaddを受けるNAND回路758と、NAND回路758の出力を受けて反転するインバータ760と、インバータ760の出力を受けて反転するインバータ762と、インバータ760の出力を受けて反転するインバータ768と、セルフリフレッシュ時にHレベルとなる信号Selfを受けて反転するインバータ770と、インバータ770および信号Selfに応じて導通してインバータ762の出力をライト用コラム選択線CSLWLに伝達する

トランスマッションゲート 7 6 4 と、インバータ 7 7 0 の出力および信号 S e l f に応じて導通してインバータ 7 6 8 の出力をライト用コラム選択線 C S L W R に伝達するトランスマッションゲート 7 7 2 と、信号 S e l f をゲートに受けセルフリフレッシュモードにおいてライト用コラム選択線 C S L W L, C S L W R をそれぞれ接地電位に固定するための N チャンネル M O S トランジスタ 7 6 6, 7 7 8 とを含む。

#### 【 0 1 9 3 】

コラム選択線固定回路 7 5 7 は、図 2 8 に示したコラム選択線固定回路 7 4 0 の構成と比べて、コラム選択線を駆動するドライバ回路すなわちインバータ 7 5 4、7 5 6 の微小な貫通電流すなわちリーク電流をさらに減らすことができる。すなわち、ドライバ回路であるインバータ 7 6 2, 7 6 8 の電源はオフ状態にすることができ、トランスマッションゲート 7 6 4 および 7 7 2 によってインバータ 7 6 2、7 6 8 の出力とコラム選択線 C S L W L, C S L W R は分離される。したがって、コラム選択線を L レベルに固定するにあたりドライバ回路のリーク電流がなくなる。

#### 【 0 1 9 4 】

以上のようにリーク電流を削減するための種々の構成を採用しているため、システム L S I における D R A M 部の周辺回路の電源をオフ状態にすることができかつ電源がオン状態にある回路においてもリーク電流を低減させることができる。

#### 【 0 1 9 5 】

##### 〔実施の形態 3〕

図 3 0 は、実施の形態 3 の半導体装置 8 0 0 の構成を示すブロック図である。

#### 【 0 1 9 6 】

図 3 0 を参照して、半導体装置 8 0 0 は、外部とデータを授受し種々の演算処理等を行なうロジック部 8 0 2 と、ロジック部 8 0 2 からコマンド信号やアドレス信号を受けロジック部 8 0 2 とデータの授受を行なう D R A M 部 8 0 4 とを含む。D R A M 部 8 0 4 は、ロジック部から信号 N P D S R を受けてパワーダウンモード信号 P D S R を出力するとともに各種リセット制御を行なうクロック／リ

セット制御回路 8 0 6 と、ロジック部 8 0 2 からコマンド信号およびアドレス信号を受ける周辺回路 8 1 2 と、周辺回路 8 1 2 から内部コマンド信号や内部アドレス信号等を受けてロウ系の処理を行なう周辺回路 8 1 4 と、周辺回路 8 1 4 に対してセルフリフレッシュモード時にクロック信号 C L K S を出力するセルフリフレッシュ制御回路 8 0 8 と、外部から与えられる 3 . 3 V の電源電位 V D D H および 1 . 5 V の電源電位 V D D を受けて周辺回路やメモリアレイに 1 . 5 V の電源電位 V D D 3 および 2 . 0 V の電源電位 V D D 2 を出力する D R A M 電源回路 8 1 0 と、周辺回路 8 1 4 および 8 1 2 によってデータの読出制御がされるメモリアレイ 8 6 0 とを含む。

## 【 0 1 9 7 】

周辺回路 8 1 2 は、ロジック部からコマンド信号 C M D を 1 . 5 V の振幅で受けるコマンドデコーダ 8 2 2 と、ロジック部 8 0 2 からロウアドレス信号 R A D [ 1 4 : 0 ] を 1 . 5 V の振幅で受けるアドレスバッファ 8 2 4 と、ロジック部 8 0 2 からコラムアドレス信号 C A D [ 7 : 0 ] を 1 . 5 V の振幅で受けるアドレスバッファ 8 2 6 と、アドレスバッファ 8 2 6 の出力をプリデコードするコラムプリデコーダ 8 2 8 と、ロジック部 8 0 2 から出力される 1 . 5 V の振幅のクロック信号 C L K を受けて D R A M 部 8 0 4 の回路に供給するクロックバッファ 8 3 4 とを含む。

## 【 0 1 9 8 】

周辺回路 8 1 2 は、さらに、メモリアレイ 8 6 0 からデータを読出またはメモリアレイ 8 6 0 に対してデータを書込むためのプリアンプ／ライトドライバ 8 5 8 と、プリアンプ／ライトドライバ 8 5 8 とデータを授受しコラムデコーダ 8 2 8 の出力に応じて選択的にデータ入出力バッファとを接続する I / O セレクタ 8 3 0 とを含む。データ入出力バッファ 8 3 2 は、ロジック部 8 0 2 との間で 1 . 5 V の振幅でデータ入力信号 D I およびデータ出力信号 D O をやり取りする。

## 【 0 1 9 9 】

周辺回路 8 1 4 は、コマンドデコーダ 8 2 2 からセルフリフレッシュコマンド R E F S を受け、クロック／リセット制御回路 8 0 6 からパワーダウンセルフリフレッシュ信号 P D S R を受け、いずれかに応じて信号 R E F S D を活性化する

選択回路 833 と、信号 REFSD および コマンドデコーダ 822 から出力されるリフレッシュコマンド REFA および ロウアクティブコマンド ACT を受けてロウ系活性化信号 NACT を出力する ACT 発生回路 838 と、信号 NACT をリセット信号 NRSTR に応じてリセットされた後にクロック信号 CLKR に同期して受けてラッチするフリップフロップ 840 と、フリップフロップ 840 の出力に応じてワード線およびセンスアンプを活性化するタイミング信号を出力するタイミング発生回路 844 とを含む。

#### 【0200】

周辺回路 814 は、さらに、リフレッシュコマンド REFA および信号 REFSD とロウ系活性化信号 NACT に応じてリフレッシュアドレスを出力するアドレスカウンタ 835 と、リフレッシュ信号 REFA や信号 REFSD に応じて、リフレッシュ時にはアドレスカウンタ 835 の出力をアドレス信号として内部に伝達し、通常動作時にはアドレスバッファ 824 の出力を内部に伝達する選択回路 836 と、冗長置換アドレスが設定されているロウ系ヒューズ 848 と、冗長置換アドレスと選択回路 836 から与えられるアドレスとを比較して冗長置換の判定を行なう冗長判定回路 846 と、冗長判定回路 846 の出力をプリデコードするロウプリデコーダ 850 と、リセット信号 NRSTR によってリセットされた後ロウプリデコーダ 850 の出力をクロック信号 CLKR に同期して取込みロウデコーダ 854 に与えるフリップフロップ 852 とを含む。

#### 【0201】

周辺回路 814 は、さらに、メモリアレイ 860 のメモリセルを選択するためにロウ系のデコード処理を行なうロウデコーダ 854 と、コラムプリデコーダ 828 の出力を受けて列系の選択動作を行なうコラムデコーダ 856 とを含む。コラムデコーダ 856 は、パワーダウンモード時には、信号 PDSR によってリード用およびライト用選択線 CSLR/W は電位が固定されるように構成されている。

#### 【0202】

リフレッシュ制御回路 808 は、信号 REFSD を受けてレベルシフトするレベルシフト回路 818 と、レベルシフト回路 818 の出力に応じて活性化し、内

部に含まれるリングオシレータによってクロック信号を発生してそれを基準としてセルフリフレッシュの基準クロックを出力するセルフタイマ 8 1 6 と、セルフタイマ 8 1 6 の出力を受けて低レベル振幅に変換するダウンコンバータ 8 2 0 とを含む。ダウンコンバータ 8 2 0 の出力はクロック信号 C L K S としてロウ系活性化パルスを出力する A C T 発生回路 8 3 8 に与えられる。

#### 【 0 2 0 3 】

次に、半導体装置 8 0 0 に与えられる電源について説明を行なう。V D D H は外部から与えられる 3 . 3 V の電源電位である。また、電源電位 V D D は外部から与えられる 1 . 5 V の電源電位である。ロジック部は電源電位 V D D H および電源電位 V D D を受けて内部動作を行なっている。また、クロックリセット制御回路および周辺回路 8 1 4 は、D R A M 電源回路 8 1 0 が出力する 1 . 5 V の電源電位 V D D 3 を動作電源電位として受ける。

#### 【 0 2 0 4 】

周辺回路 8 1 2 は、電源電位 V D D をその動作電源電位として受ける。

図 3 1 は、図 3 0 における D R A M 電源回路 8 1 0 の構成を示す回路図である。

#### 【 0 2 0 5 】

図 3 1 を参照して、D R A M 電源回路 8 1 0 は、パワーダウンセルフリフレッシュ信号を 3 . 3 V 系にレベルシフトを行なうレベルシフタ 8 6 2 と、3 . 3 V 系の電源によって駆動されレベルシフタ 8 6 2 の出力をバッファリングするバッファ回路 8 6 4 と、レベルシフタ 8 6 2 の出力を 2 V に電圧変換するダウンコンバータ 8 6 6 と、3 . 3 V の電源電位 V D D H を受けて 2 . 0 V の電源電位 V D D 2 を出力する電圧降下回路 8 6 8 と、通常動作モードにおいて導通し外部から与えられる 1 . 5 V の電源電位 V D D を出力ノード N V O に伝達する N チャネル M O S トランジスタ 8 7 2 と、パワーダウンモードにおいて導通し電圧降下回路 8 6 8 の出力を出力ノード N V O に伝達する N チャネル M O S トランジスタ 8 7 0 とを含む。出力ノード N V O からは、この D R A M 電源回路 8 1 0 の出力である電源電位 V D D 3 が出力される。電圧降下回路 8 6 8 の出力である電源電位 V D D 2 はメモリアレイに供給される。

## 【 0 2 0 6 】

また、NチャネルMOSトランジスタ870のゲート電位は、パワーダウンモードにおいて2Vに設定されるため、NチャネルMOSトランジスタ870によっておよそしきい値電圧分の電圧効果が生じ、パワーダウンモードにおいて電源電位VDD3はおよそ1.5Vに設定される。

## 【 0 2 0 7 】

また、パワーダウンモードが不要な場合には、外部電源電位VDDが与えられるノードと出力ノードNVOとを結合させることができるようにスイッチ874が設けられる。このスイッチ874は、半導体装置の製造工程においてメタルマスクを変更することにより選択的に導通状態にすることができる。

## 【 0 2 0 8 】

図32は、図30におけるクロック／リセット制御回路806の構成を示す回路図である。

## 【 0 2 0 9 】

図32を参照して、クロック／リセット制御回路806は、ロジック部よりリセット信号NRESETを受けて内部にリセット信号NRSTを供給するバッファ回路898と、ロジック部より信号NPDSRを受けるバッファ回路900と、信号NRESETおよびバッファ回路900の出力を受けて信号NRSTRを出力するOR回路902とを含む。

## 【 0 2 1 0 】

クロック／リセット制御回路806は、さらに、ロジック部より信号NPDSRを受けてその立下がりに応じてロウアクティブなパルス信号を発生するパルス発生回路882と、リセット信号NRESETによってリセットされた後にコマンドデコーダよりリフレッシュコマンド信号REFAを受けてカウントアップし8回の入力があったときに出力を変化させるカウンタ886と、カウンタ886の出力およびバッファ900の出力を受けて信号NRSTSを出力するOR回路904と、カウンタ886の出力に応じてLアクティブのパルスを発生させるパルス発生回路888と、パルス発生回路888の出力によってセットされリセット信号NRESETによってリセットされるラッチ回路890とを含む。

## 【 0 2 1 1 】

クロック／リセット制御回路 8 0 6 は、さらに、ラッチ回路 8 9 0 の／Q 出力信号である信号 L A T を受けてその立下がりに応じてロウアクティブなパルス信号を発生するパルス発生回路 8 8 3 と、パルス発生回路 8 8 2 の出力に応じてセットされパルス発生回路 8 8 3 の出力に応じてリセットされるラッチ回路 8 8 4 とを含む。ラッチ回路 8 8 4 の Q 出力からはパワーダウンセルフリフレッシュ信号 P D S R が出力される。

## 【 0 2 1 2 】

クロック／リセット制御回路 8 0 6 は、さらに、ロジック部から与えられる 1 . 5 V の振幅を有するクロック信号 C L K および図 3 0 のセルフタイマ 8 1 6 によって発生されるクロック信号 C L K S を受けて信号 R E F S D によっていずれかを選択してクロック信号 C L K R として出力するセレクタ 8 9 6 を含む。

## 【 0 2 1 3 】

図 3 3 は、図 3 0 に示した半導体装置の D R A M 部のパワーダウンモードを説明するための動作波形図である。

## 【 0 2 1 4 】

図 3 0、図 3 3 を参照して、時刻  $t_1$  において半導体装置 8 0 0 に電源が投入されると D R A M 部にはロジック部 8 0 2 からリセット信号 N R E S E T が与えられ引き続きリフレッシュコマンド R E F A が数回与えられるパワーオンシーケンスが実行される。時刻  $t_2$  においてパワーオンシーケンスが終了すると通常の動作が可能となる。

## 【 0 2 1 5 】

時刻  $t_3$  においてパワーダウンモードに移行する前には時刻  $t_3$  においてオートリフレッシュコマンドがロジック部から D R A M 部に与えられ全メモリ空間のリフレッシュが行なわれる。続いて時刻  $t_4$  においてロジック部は信号 N P D S R を L レベルにし D R A M 部にセルフリフレッシュ動作を開始させる。時刻  $t_4$  以降は、D R A M 部はパワーダウンモードになっている。

## 【 0 2 1 6 】

そして、時刻  $t_5$  においてロジック部に与えられる電源電位 L V D D H および

1. 5 Vの電源電位VCC1. 5はオフ状態にされパワーダウンモードになる。すなわち、セルフリフレッシュのために供給される電源電位は3. 3 Vの電源電位DVDDHのみである。時刻t 6においてパワーダウンモードから動作モードに復帰するときには1. 5 Vの電源電位VCC1. 5を投入し続いて安定したクロック信号を供給する。

## 【0 2 1 7】

時刻t 7においておよそ200  $\mu$ 秒の間リセット信号NRESETをLレベルに固定した後、リセット信号NRESETをHレベルにしてリセット解除しリフレッシュコマンドREFAを8回入力して内部回路の初期化を行なう。その後セルフリフレッシュから抜けるセルフリフレッシュイグジットコマンドSREXを入力しそして信号NPDSRをLレベルからHレベルに立上げるとtSRXで示される時間の後にロジック部はオートリフレッシュコマンドをDRAM部に与え、DRAM部は全メモリ空間をリフレッシュする。そして、最後のリフレッシュコマンドREFAが発行された後に最小リードサイクル時間tRC+1クロックが経過すると全バンク非活性化状態になりコマンド入力可能状態となる。

## 【0 2 1 8】

図3 4は、図3 3におけるパワーダウンモードから動作モードに復帰する際の動作を説明するための波形図である。

## 【0 2 1 9】

図3 2、図3 4を参照して、時刻t 4において信号NPDSRがLレベルに立下がると、パルス発生回路882がLアクティブのパルス信号FSを発生する。応じてラッチ回路884はセットされるため信号PDSRはHレベルに設定される。

## 【0 2 2 0】

次に時刻t 7において、パワーダウン解除後のリセット信号NRESETが入力されるとラッチ回路890はリセットされる。そして、リフレッシュコマンドREFAが8回入力されると、時刻t 8において、カウンタ886の出力はパルス信号を発生しラッチ回路890をセットする。すると、ラッチ回路890の/Q出力である信号LATがHレベルからLレベルに立下り、パルス発生回路88

3 の出力に応じてラッチ回路 8 8 4 はリセットされる。したがって、信号 P D S R は L レベルになり、その後通常動作が可能な状態となる。

【 0 2 2 1 】

なお、このパワーダウンモードからの復帰シーケンスは、通常の電源投入シーケンスと同じであり、リセット信号 N R E S E T によるリセット後に、リフレッシュコマンド R E F A を 8 回入力することにより、モードレジスタ等に設定された特別なモードをすべてリセットするように行なわれる。

【 0 2 2 2 】

その後、時刻  $t_9$  において信号 N P D S R は H レベルに立上るが、信号 N P D S R は、パワーダウンモードに移行する際に使用され、通常モードへの復帰後にいつ H レベルに立上っても動作に寄与しない。

【 0 2 2 3 】

以上説明したように、実施の形態 3 の半導体装置においてもパワーダウンモードにおいて待機時の消費電流が低減され、復帰後は所定の入力を行なうことによって通常の高速動作が可能となる。

【 0 2 2 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 2 2 5 】

【発明の効果】

本発明に係る半導体装置は、パワーダウンモード時に活性化されるトランジスタのゲート絶縁膜を厚くするとともに第 1 の周辺回路の動作をパワーダウンモードにおいて停止させるため、消費電流の低減を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の半導体装置 1 の構成を示す概略ブロック図である。

【図 2】 図 1 に示したリフレッシュ制御部 1 3 2 の構成を示すブロック図

である。

【図 3】 階層電源構成を説明するための回路図である。

【図 4】 図 3 に示した階層電源構成を有する回路の動作について説明するための波形図である。

【図 5】 図 2 におけるアドレスカウンタ 3 1 2 の第 1 の例を示したブロック図である。

【図 6】 図 5 に示したアドレスカウンタ 3 1 2 の動作を説明するための動作波形図である。

【図 7】 アドレスカウンタ 3 1 2 の変形例であるアドレスカウンタ 3 1 2 a の構成を示したブロック図である。

【図 8】 図 7 に示したアドレスカウンタ 3 1 2 a の動作を説明するための動作波形図である。

【図 9】 実施の形態 2 の半導体装置に対して外部から電源供給を行なう説明をするための概念図である。

【図 1 0】 図 9 に示された D R A M 部において内部回路に電源電位を供給する構成を示した概念図である。

【図 1 1】 図 1 0 に示した周辺回路 P C K T 1 , P C K T 2 のグループ分けの第 1 の例を説明するための概念図である。

【図 1 2】 周辺回路のグループ分けの第 2 の例を説明するための図である。

【図 1 3】 周辺回路のグループ分けの第 3 の例を説明するための図である。

【図 1 4】 メモリアレイの構成を説明するための概略図である。

【図 1 5】 書込に使用する I / O 線における電源を立下げる境界部分の構成を説明するための図である。

【図 1 6】 図 1 5 におけるフリップフロップ 1 1 7 2 a の構成を示す回路図である。

【図 1 7】 図 1 4 で説明したリードアンプ 1 1 5 4 の前後において電源が供給される説明をするための図である。

【図 1 8】 図 1 7 に示したリードアンプ 1 1 5 4 およびイコライズ回路 5 2 8 の構成を示した回路図である。

【図 1 9】 リフレッシュ制御系の低消費電力化を図るために一部のブロックにしきい値の高いトランジスタ、ゲート絶縁膜の厚いトランジスタを使用する説明をするためのブロック図である。

【図 2 0】 通常動作時のアドレスとセルフリフレッシュ時のアドレスとをマルチプレクスするための回路構成を示す回路図である。

【図 2 1】 アドレスをマルチプレクスする第 2 の構成を示した回路図である。

【図 2 2】 レベル変換回路の構成を示した回路図である。

【図 2 3】 図 2 1 における選択回路 6 2 0 の構成を示した回路図である。

【図 2 4】 1. 5 V から 3. 3 V にレベル変換を行なう第 1 のレベル変換回路 6 6 0 の構成を示した回路図である。

【図 2 5】 レベル変換を行なう第 2 の回路例であるレベル変換回路 6 8 0 の構成を示す回路図である。

【図 2 6】 レベル変換をする回路の第 3 の例であるレベル変換回路 7 1 0 の構成を示した回路図である。

【図 2 7】 コラム選択線固定回路 7 3 0 の構成を示す回路図である。

【図 2 8】 コラム選択線を固定する第 2 の構成例であるコラム選択線固定回路 7 4 0 の構成を示す回路図である。

【図 2 9】 コラム選択性を固定するための第 3 の構成例であるコラム選択線固定回路 7 5 7 の構成を示した回路図である。

【図 3 0】 実施の形態 3 の半導体装置 8 0 0 の構成を示すブロック図である。

【図 3 1】 図 3 0 における D R A M 電源回路 8 1 0 の構成を示す回路図である。

【図 3 2】 図 3 0 におけるクロック／リセット制御回路 8 0 6 の構成を示す回路図である。

【図 3 3】 図 3 0 に示した半導体装置の D R A M 部のパワーダウンモード

を説明するための動作波形図である。

【図 3 4】 図 3 3 におけるパワーダウンモードから動作モードに復帰する際の動作を説明するための波形図である。

【図 3 5】 従来の半導体記憶装置 1 0 0 0 の構成を示す概略ブロック図である。

【図 3 6】 従来のシステム L S I に外部から供給される電源電位について説明をするための概念図である。

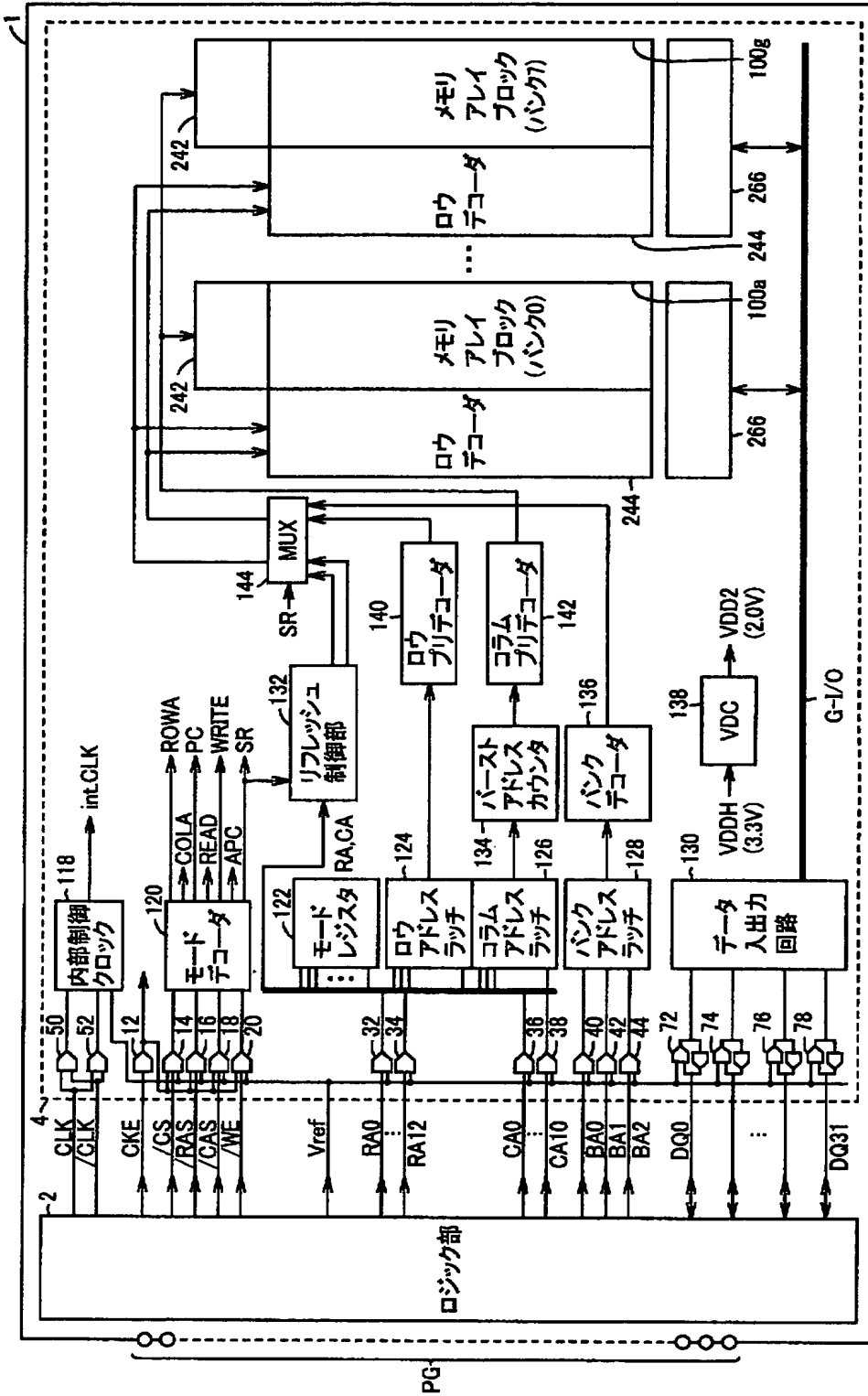
【図 3 7】 図 3 6 に示した D R A M 部 M E M の周辺回路に供給される電源電位を説明するための概念図である。

【符号の説明】

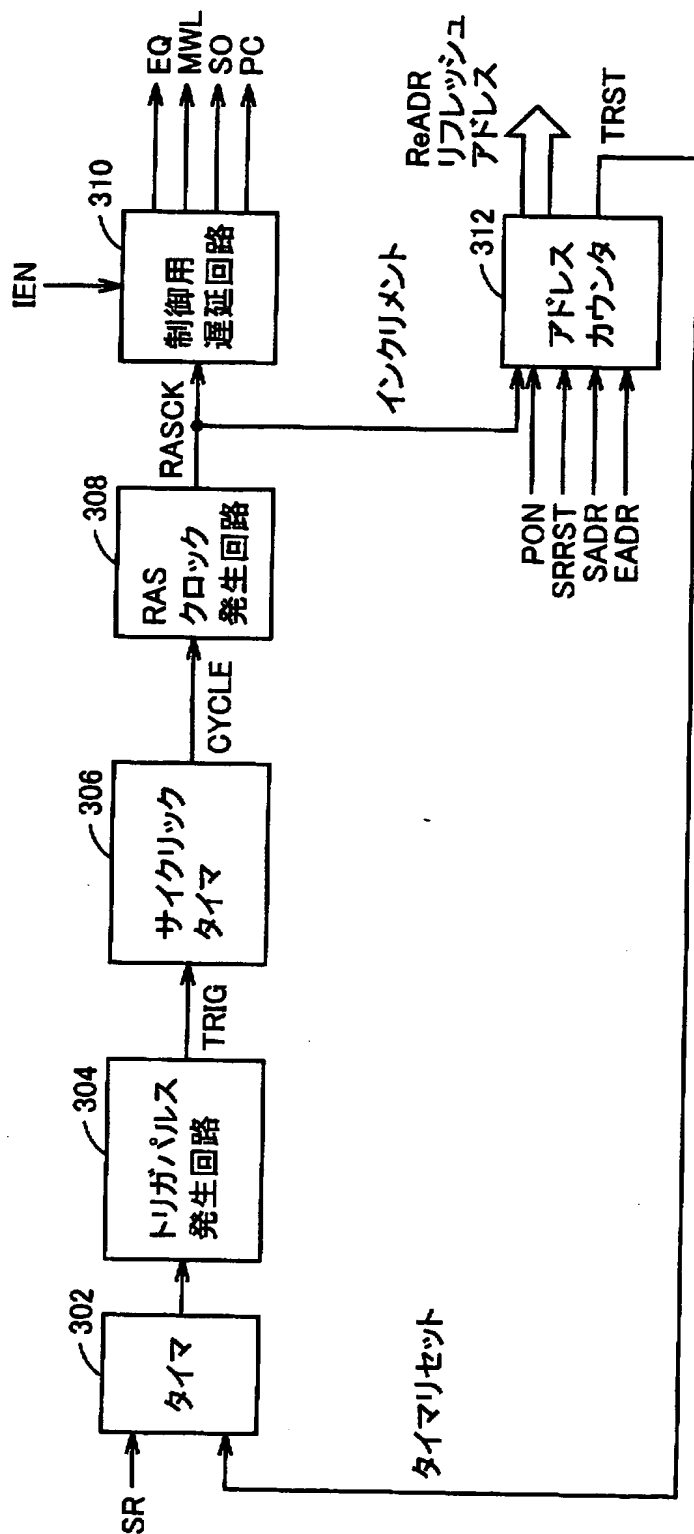
1 半導体装置、2 ロジック部、4 D R A M 部、1 0 0 a メモリアレイブロック、1 1 8 内部制御クロック信号生成回路、1 2 0 モードデコーダ、1 2 2 モードレジスタ、1 2 4 ロウアドレスラッチ、1 2 6 コラムアドレスラッチ、1 2 8 バンクアドレスラッチ、1 3 0 データ入出力回路、1 3 2 リフレッシュ制御部、1 3 4 バーストアドレスカウンタ、1 3 6 バンクデコーダ、1 3 8 V D C 回路、1 4 0 ロウプリデコーダ、1 4 2 コラムプリデコーダ、1 4 4 マルチプレクサ、2 4 2 コラムプリデコーダ、2 4 4 ロウデコーダ、2 6 6 ポート、3 0 2, 3 6 1 タイマ、3 0 6 サイクリックタイマ、3 0 8 クロック発生回路、3 1 0 制御用遅延回路、3 1 2 アドレスカウンタ、3 3 2, 3 3 4 ラッチ回路、3 3 6 カウンタ、3 3 8, 3 4 0, 3 5 4 比較回路、3 4 4 バッファ回路、3 5 2 アドレス検出回路、A R Y 1, A R Y 2 メモリアレイ、C H 半導体装置、L 1 ~ L 4 電源線、L G ロジック部、M E M D R A M 部、P C K T, P C K T 1, P C K T 2 周辺回路、P G 外部ピン端子群、S E 1, S E 2 電源選択回路、S W 1, S W 2 スイッチ、T 1 ~ T 3, T 5 0 ~ T 5 3 端子。

【書類名】 図面

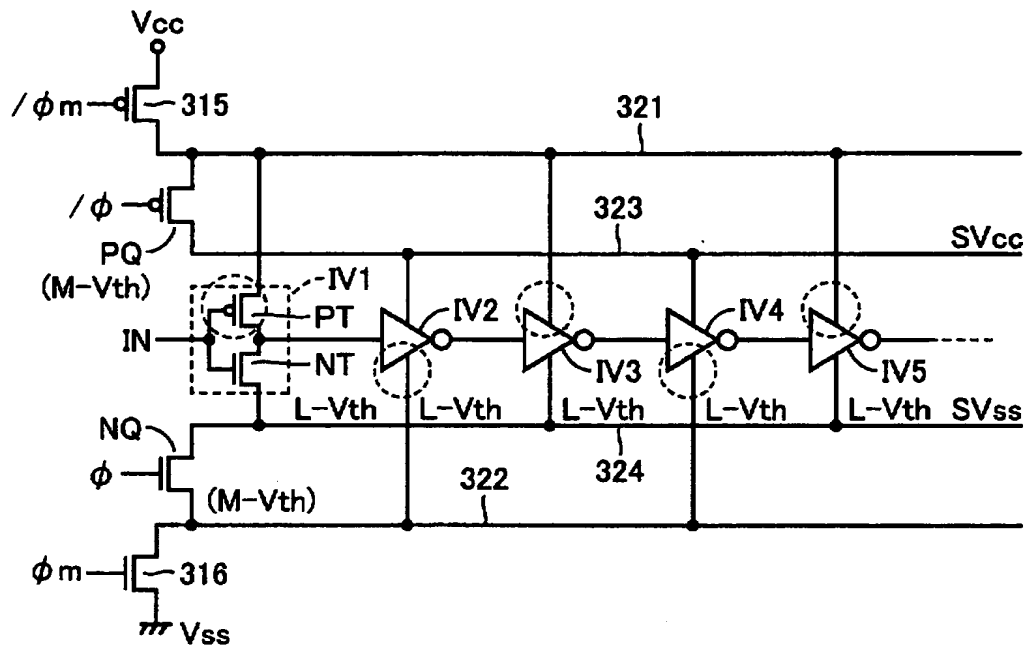
【図 1】



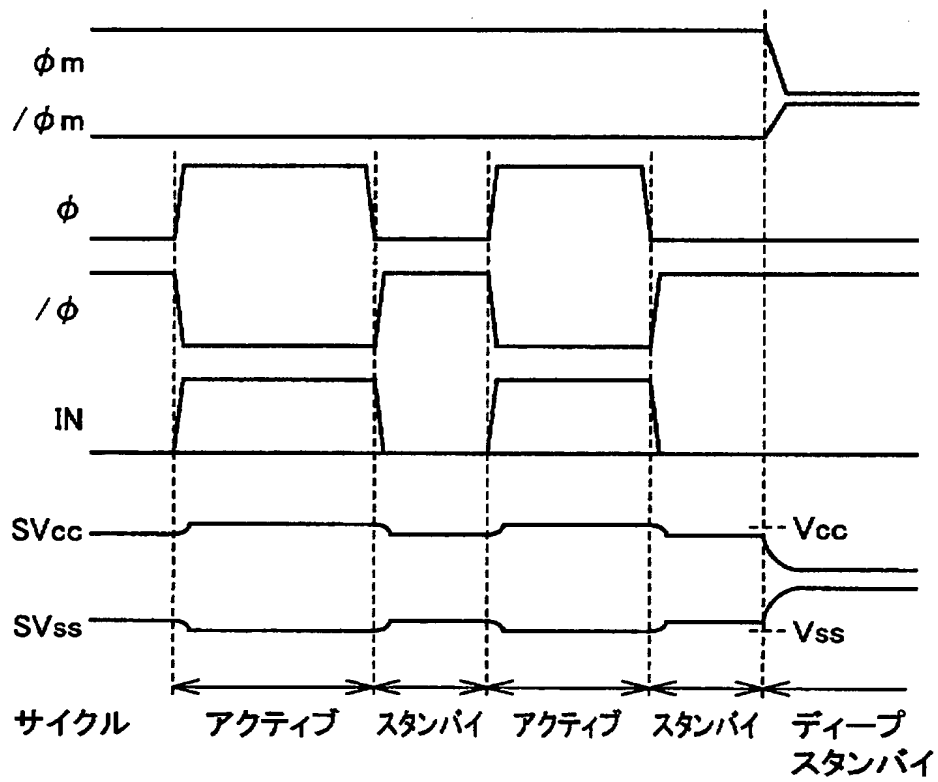
【図 2】



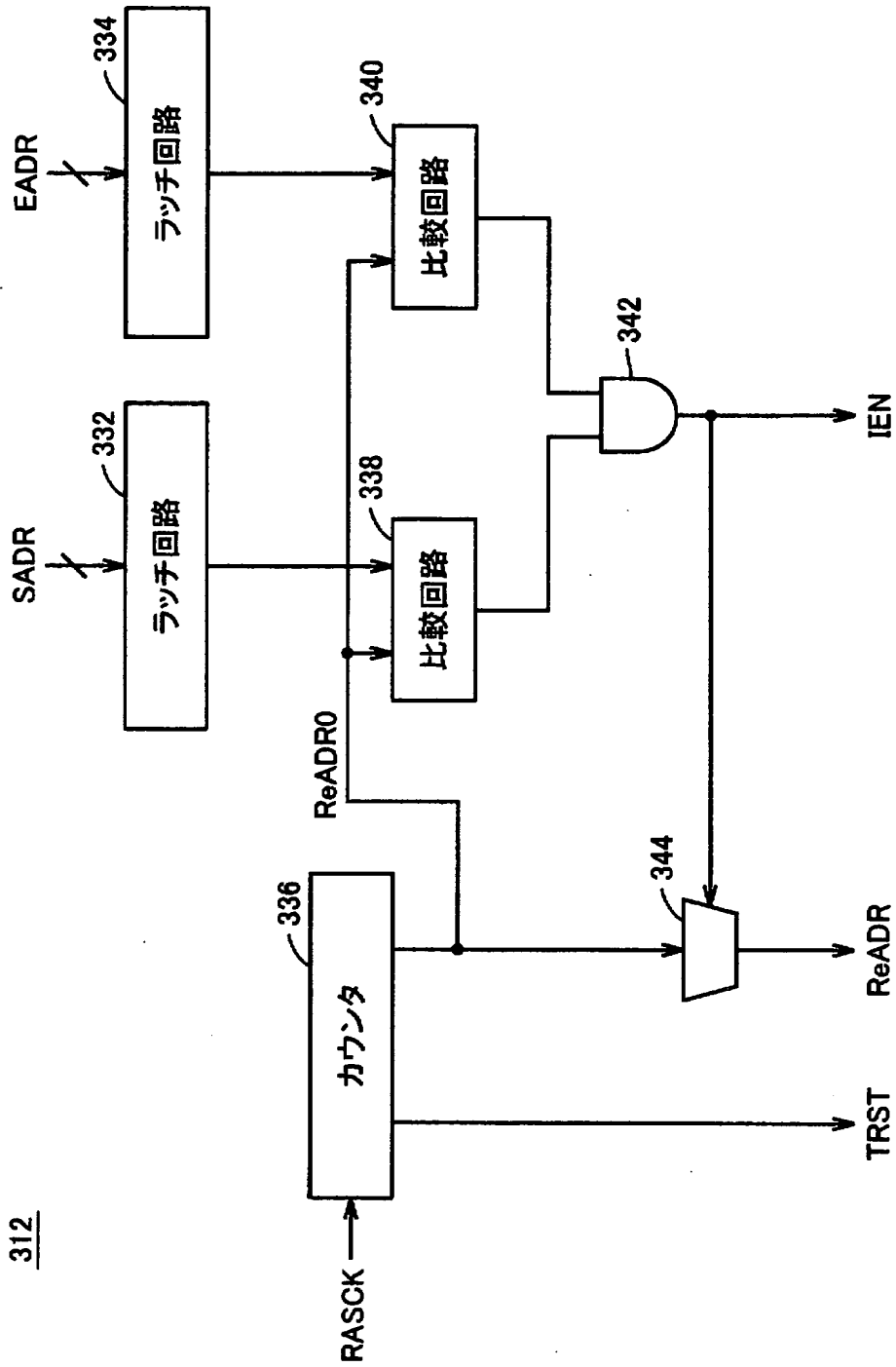
【図 3】



【図 4】

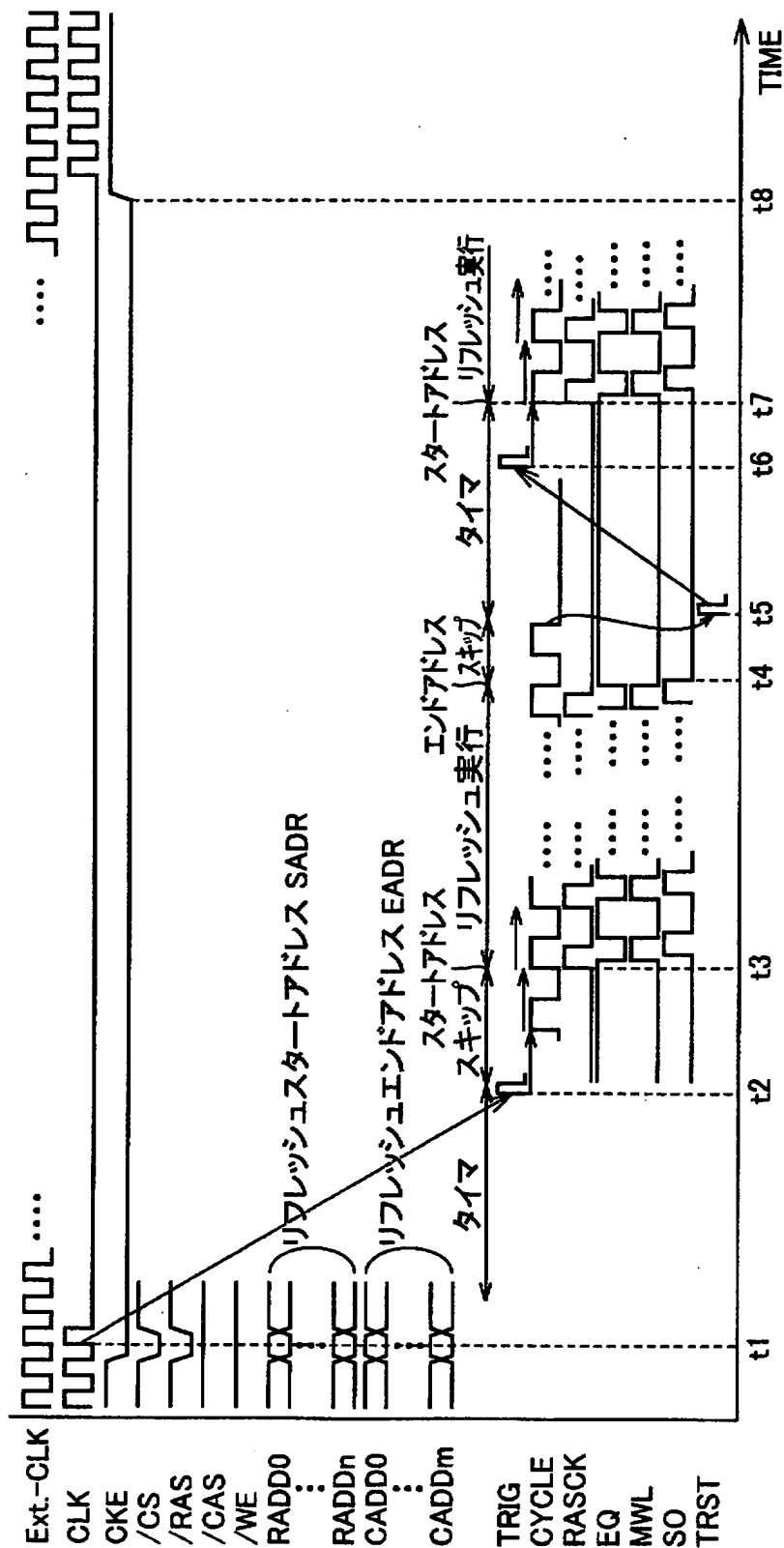


【図 5】

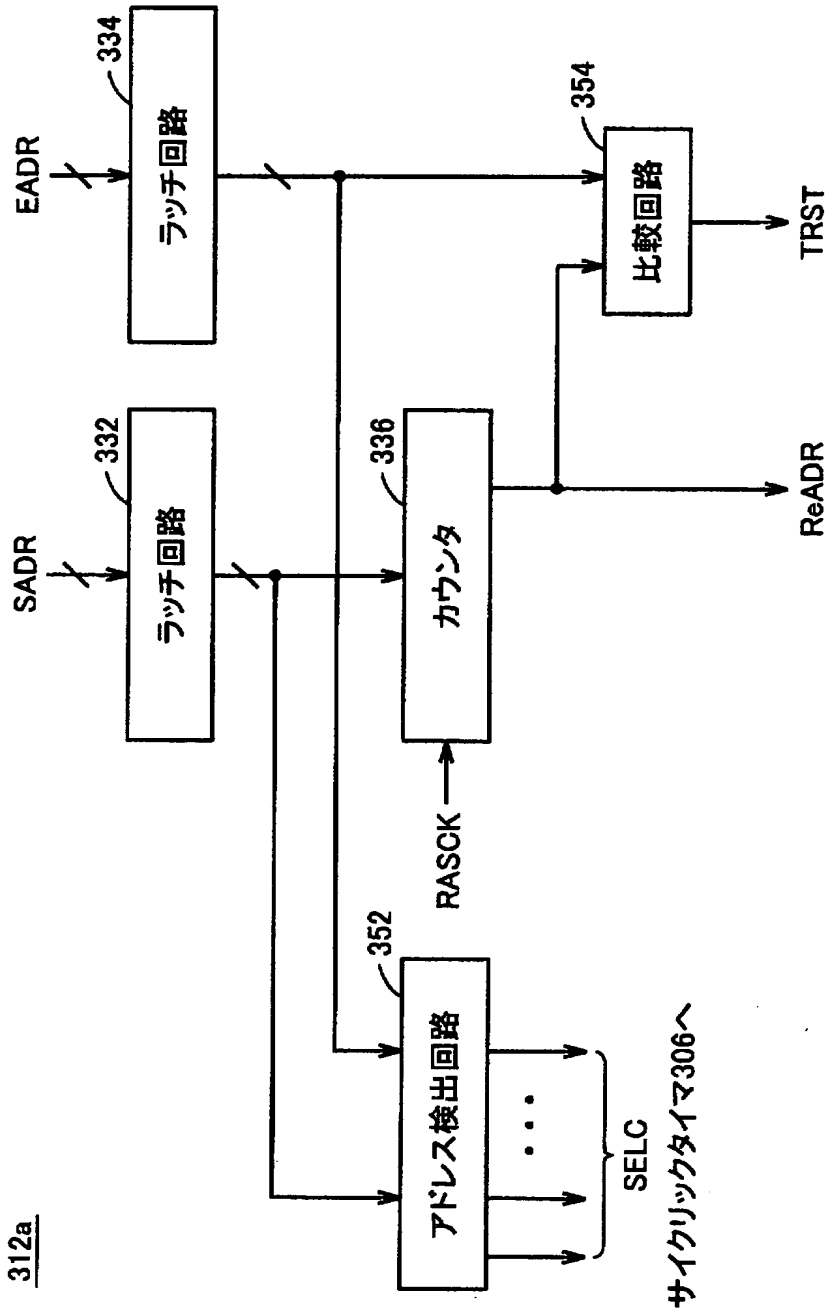


312

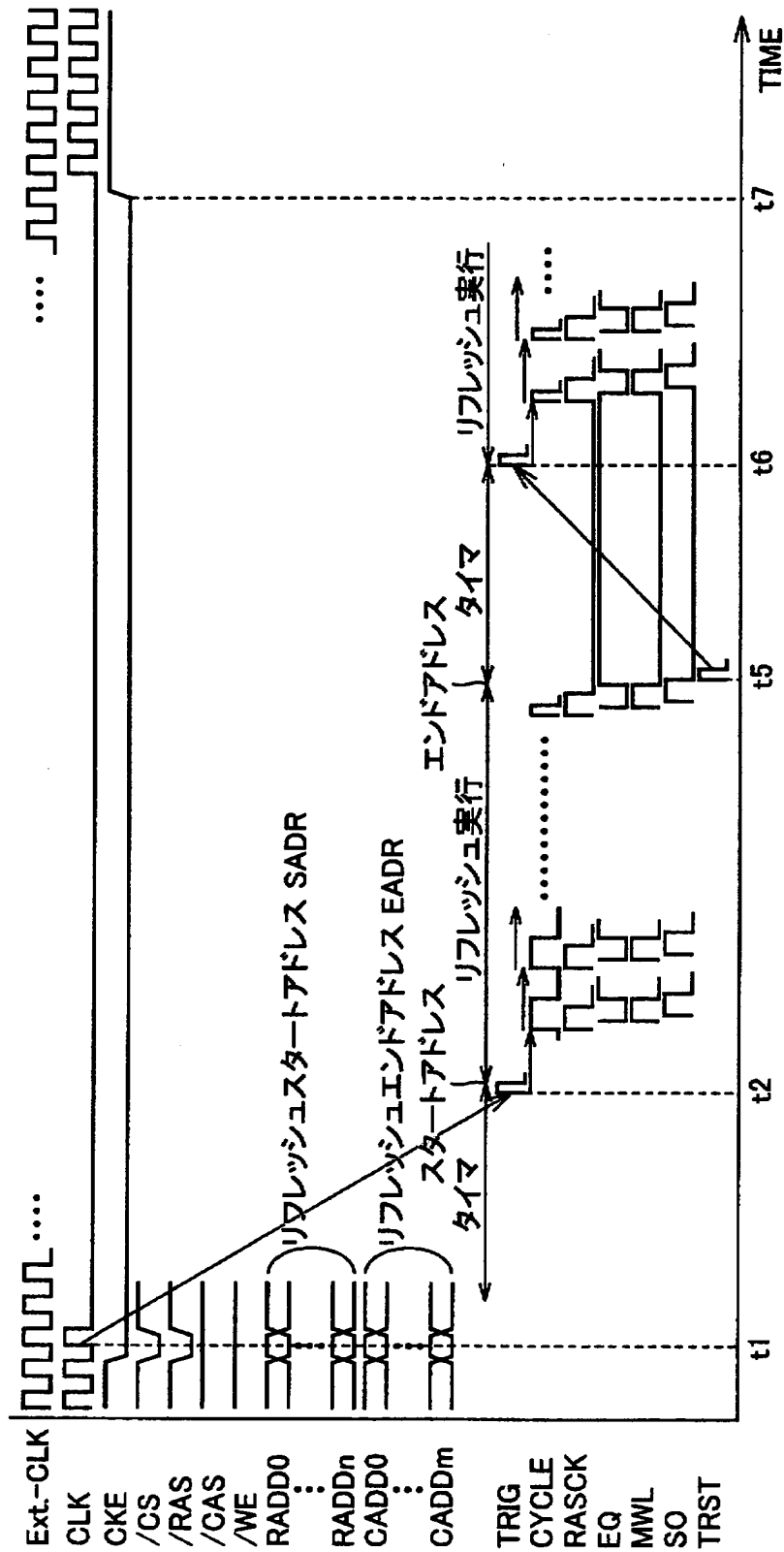
【図 6】



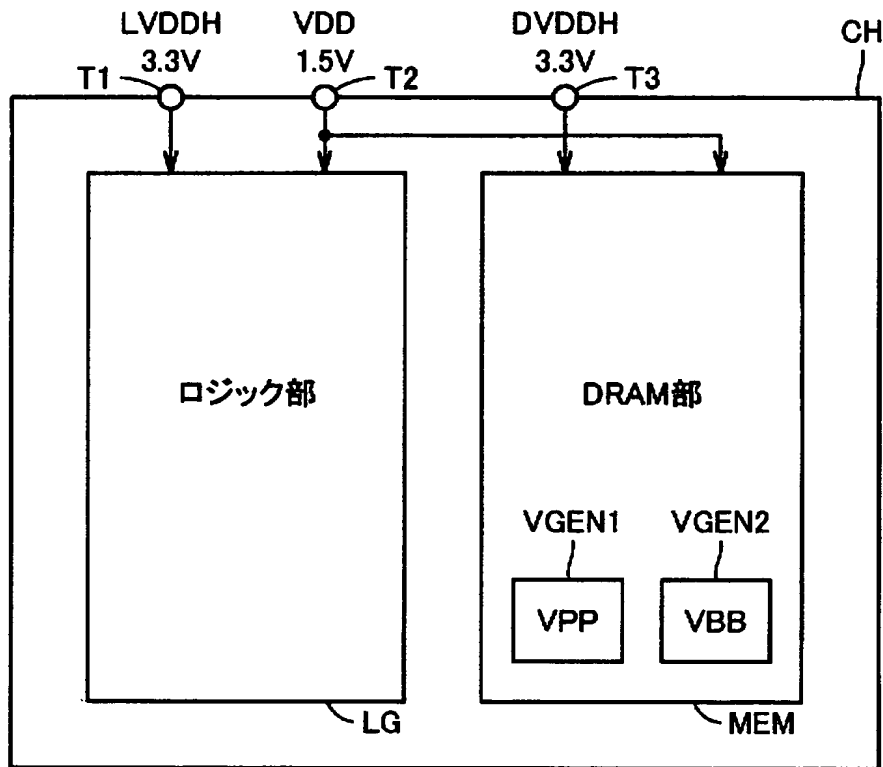
【図 7】



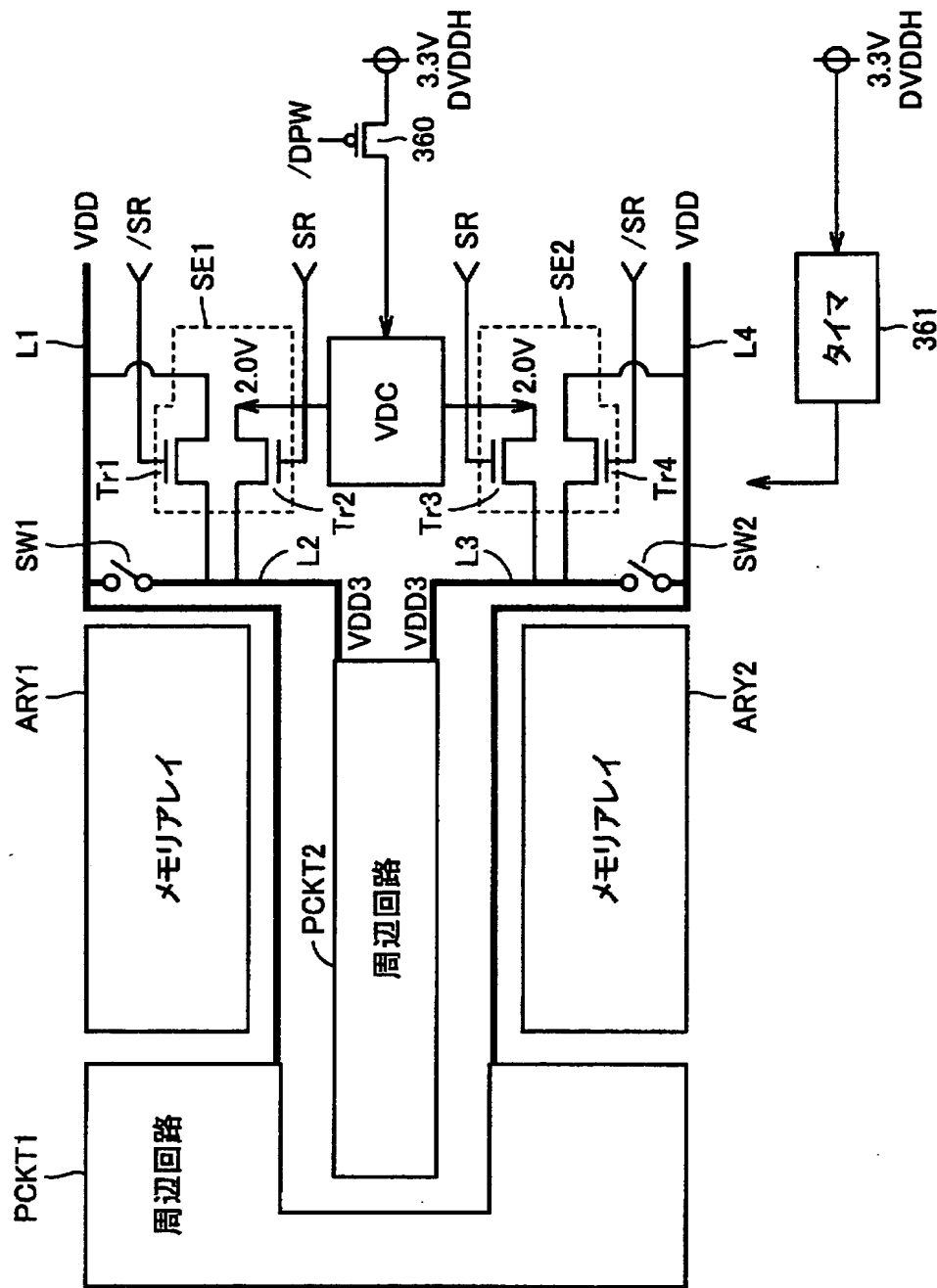
【図 8】



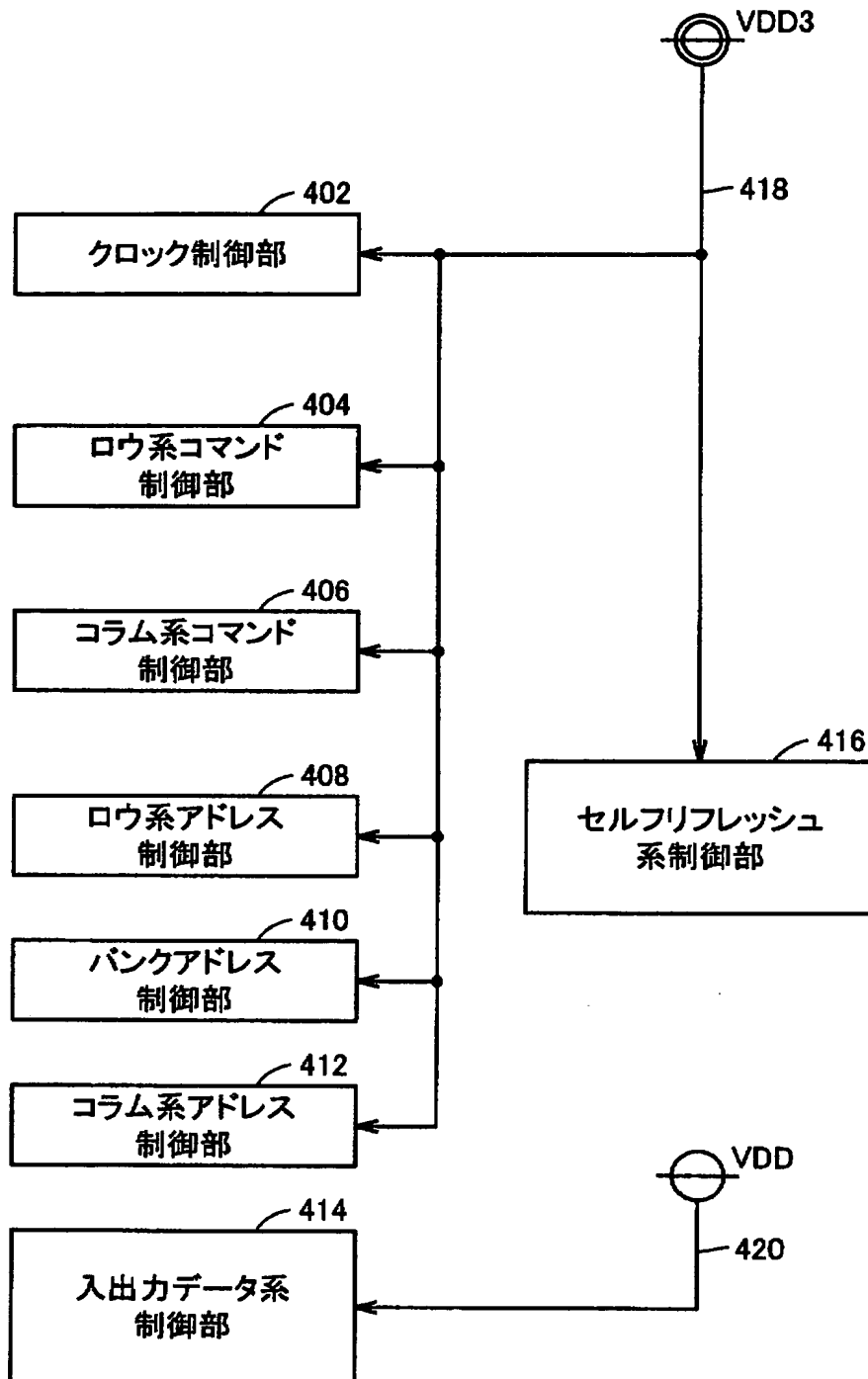
【図 9】



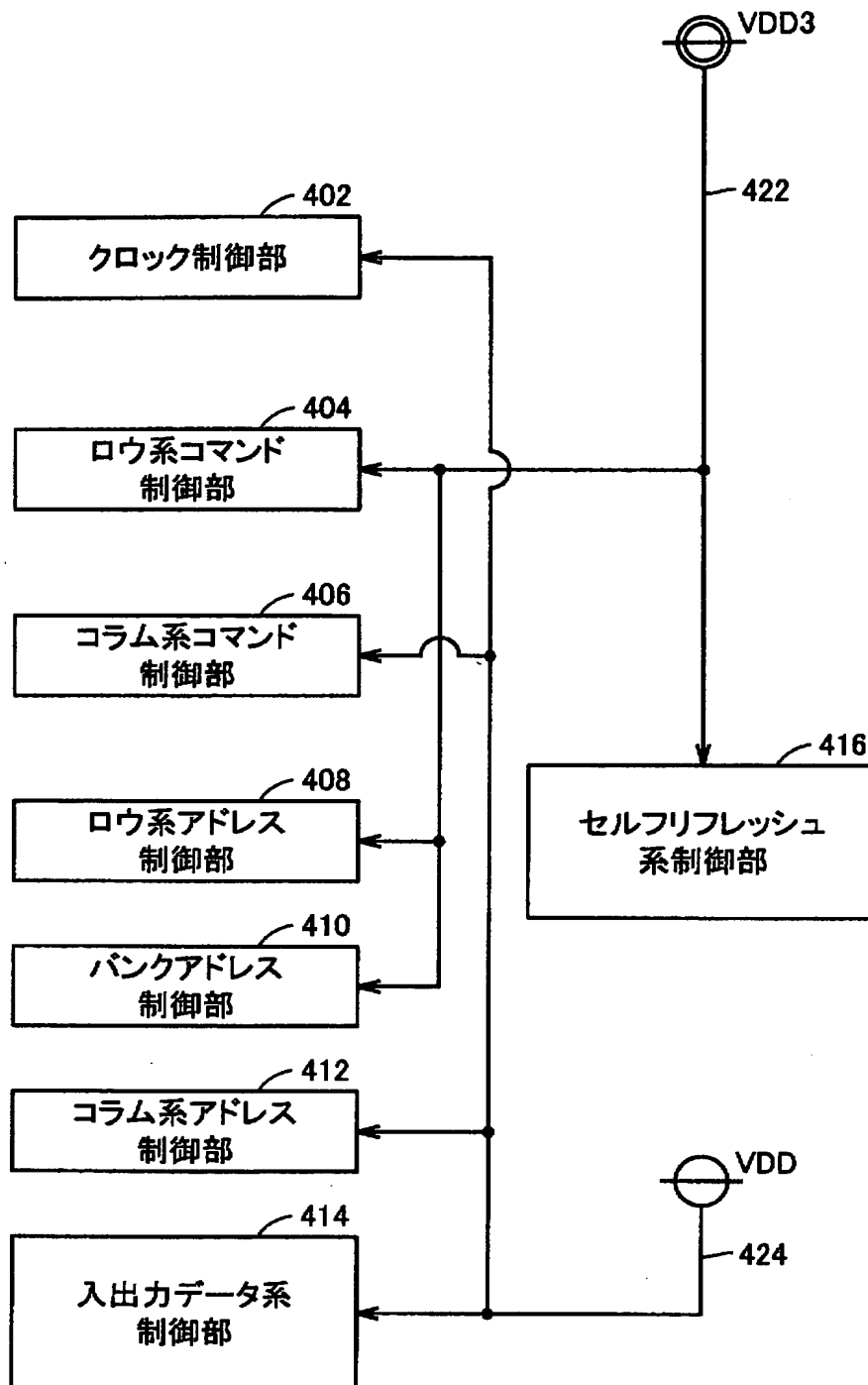
【図 10】



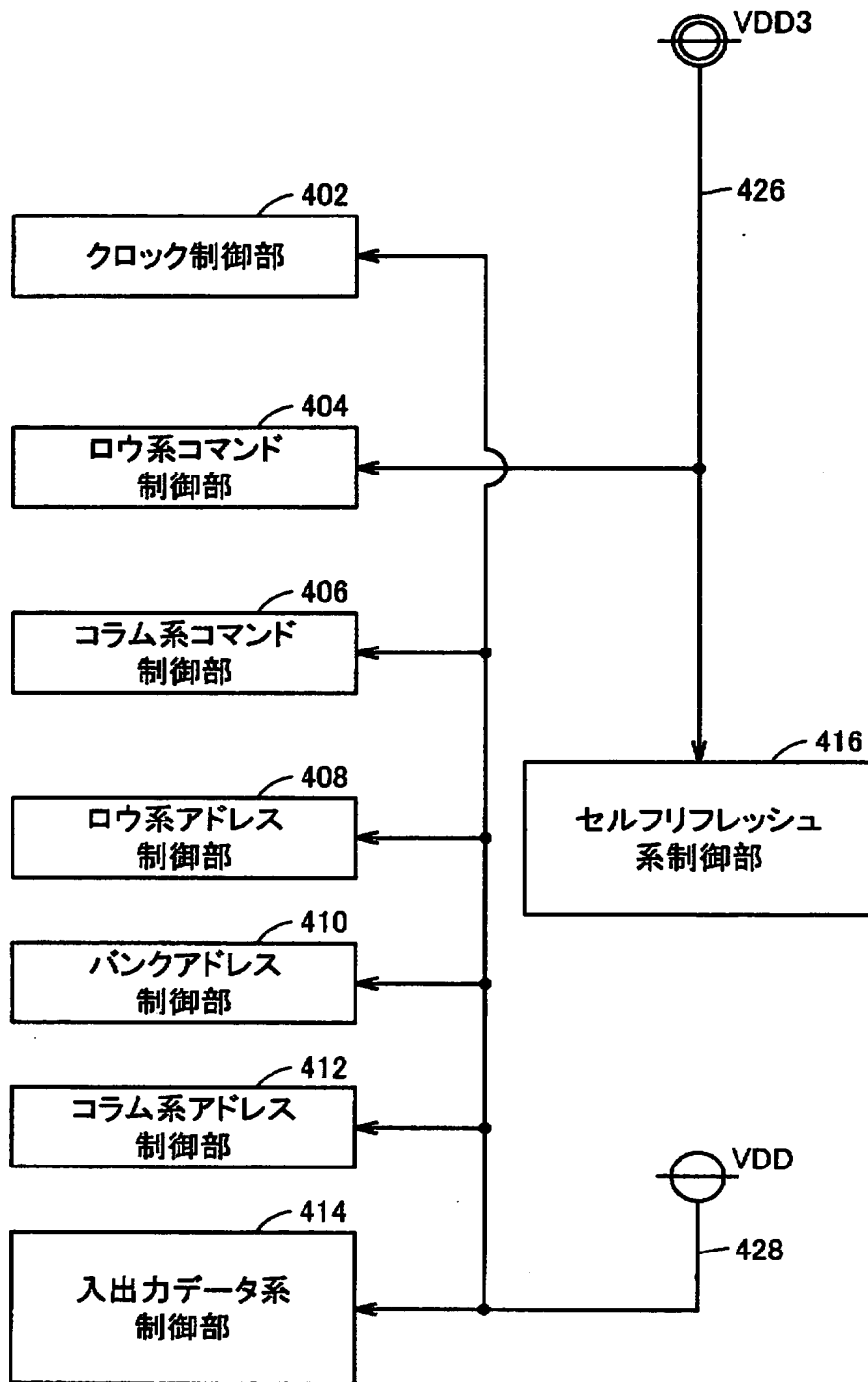
【図 1 1】



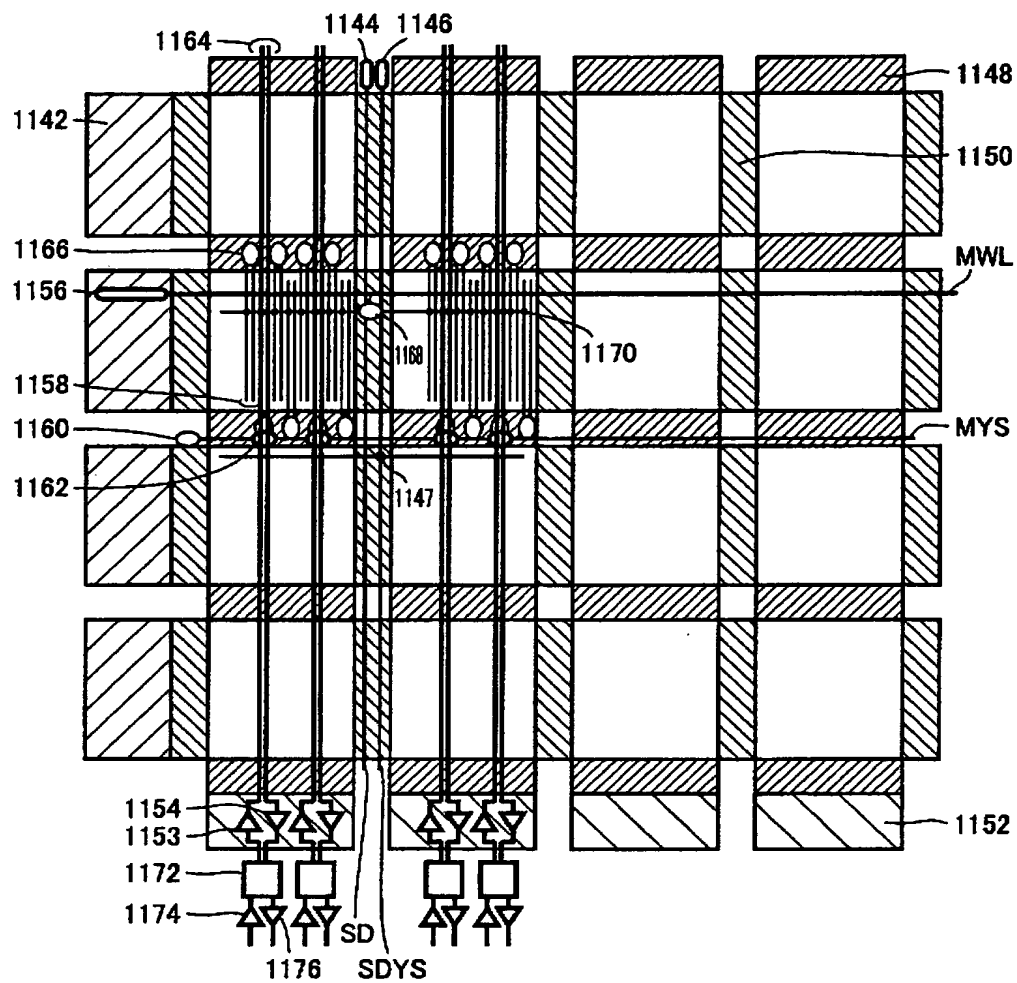
【図 12】



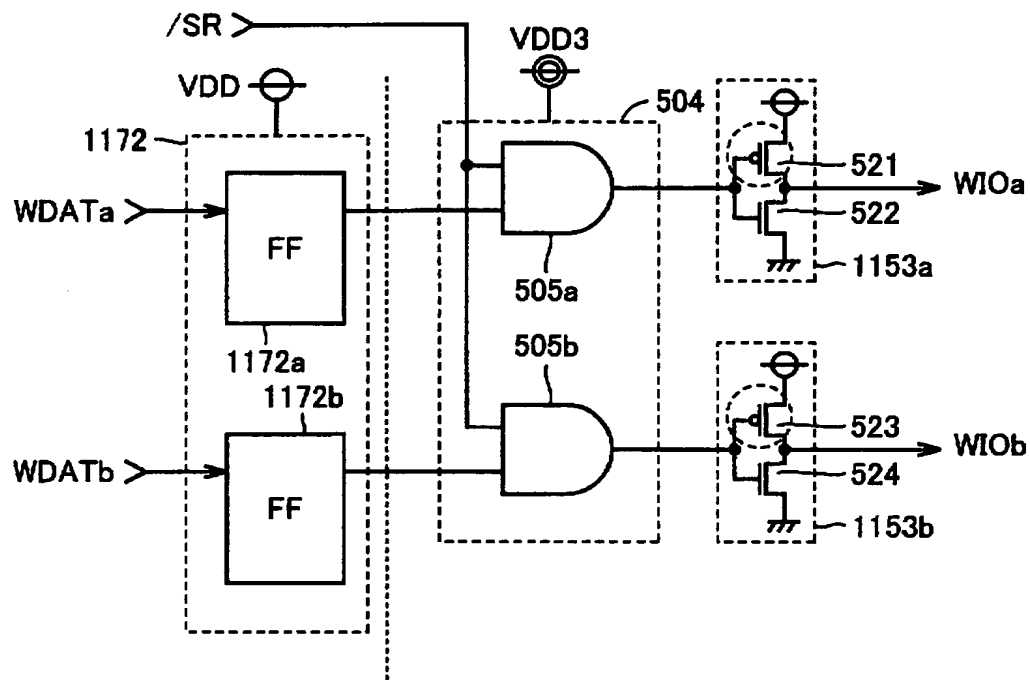
【図 1 3】



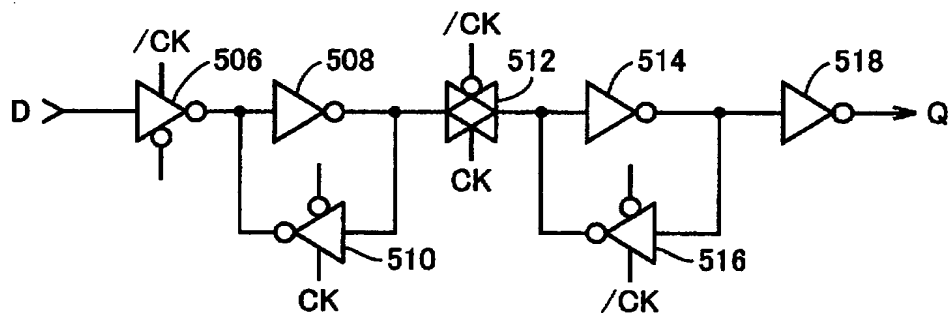
【図 14】



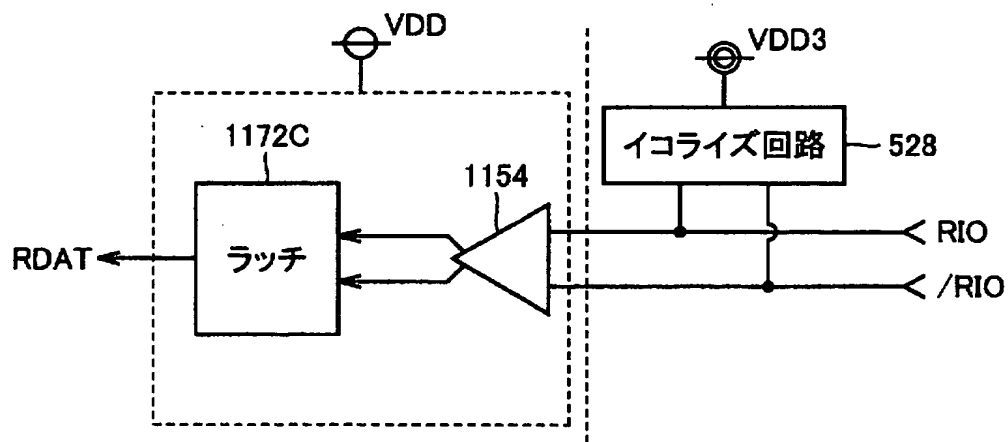
【図 15】



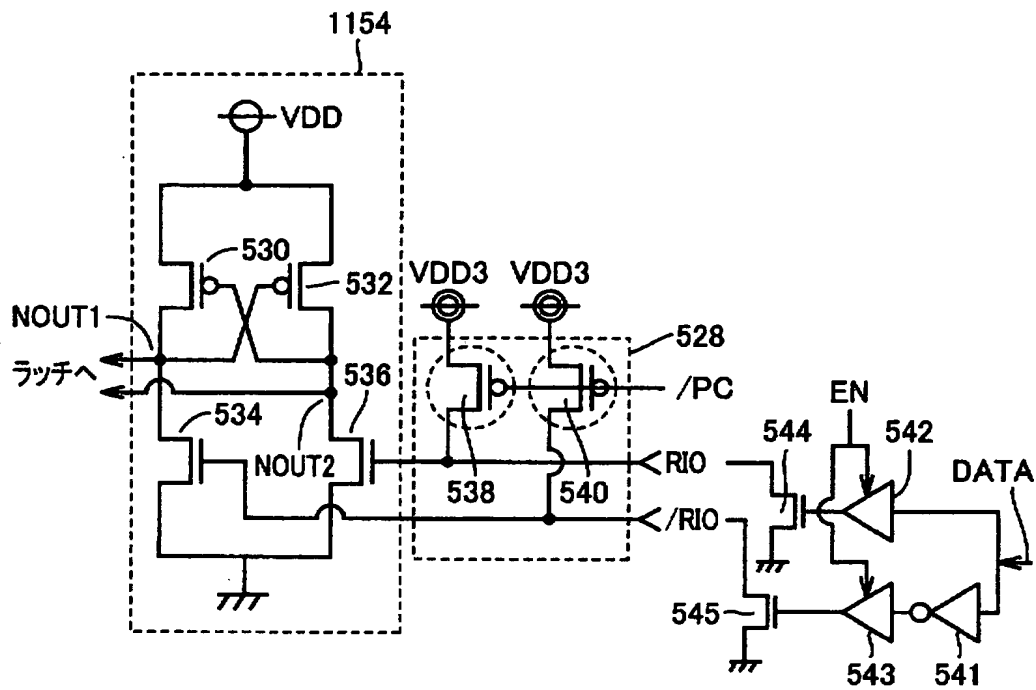
【図 16】



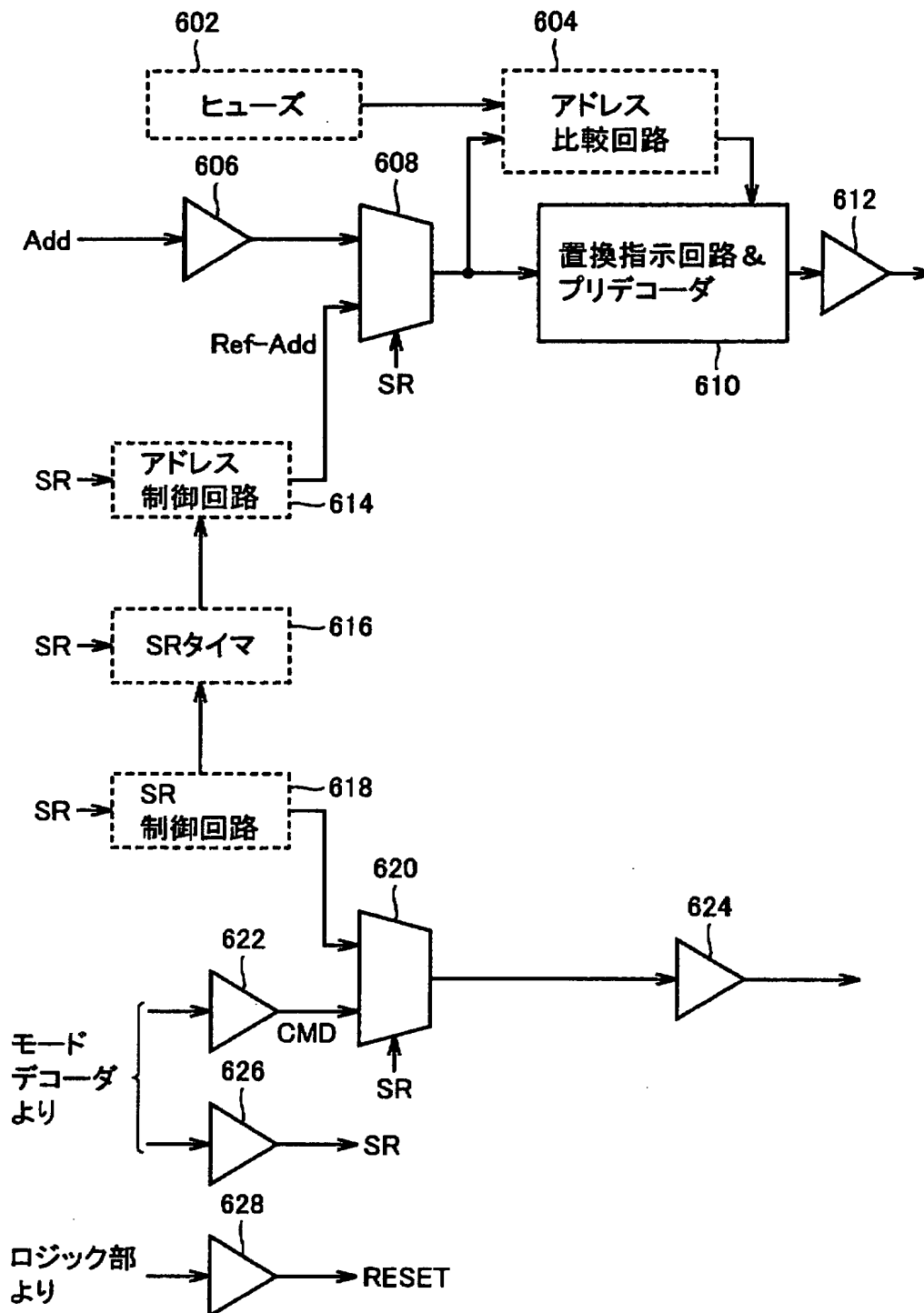
【図 17】



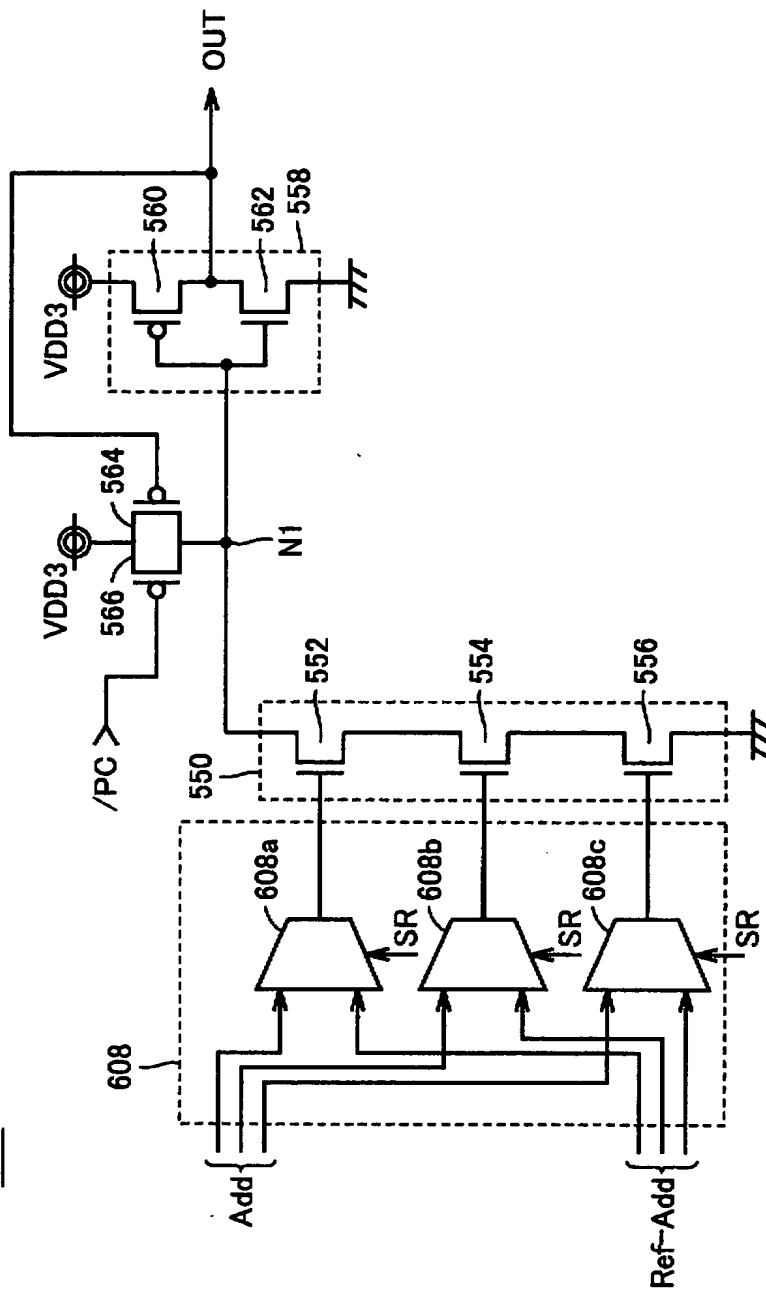
【図 18】



【図 19】



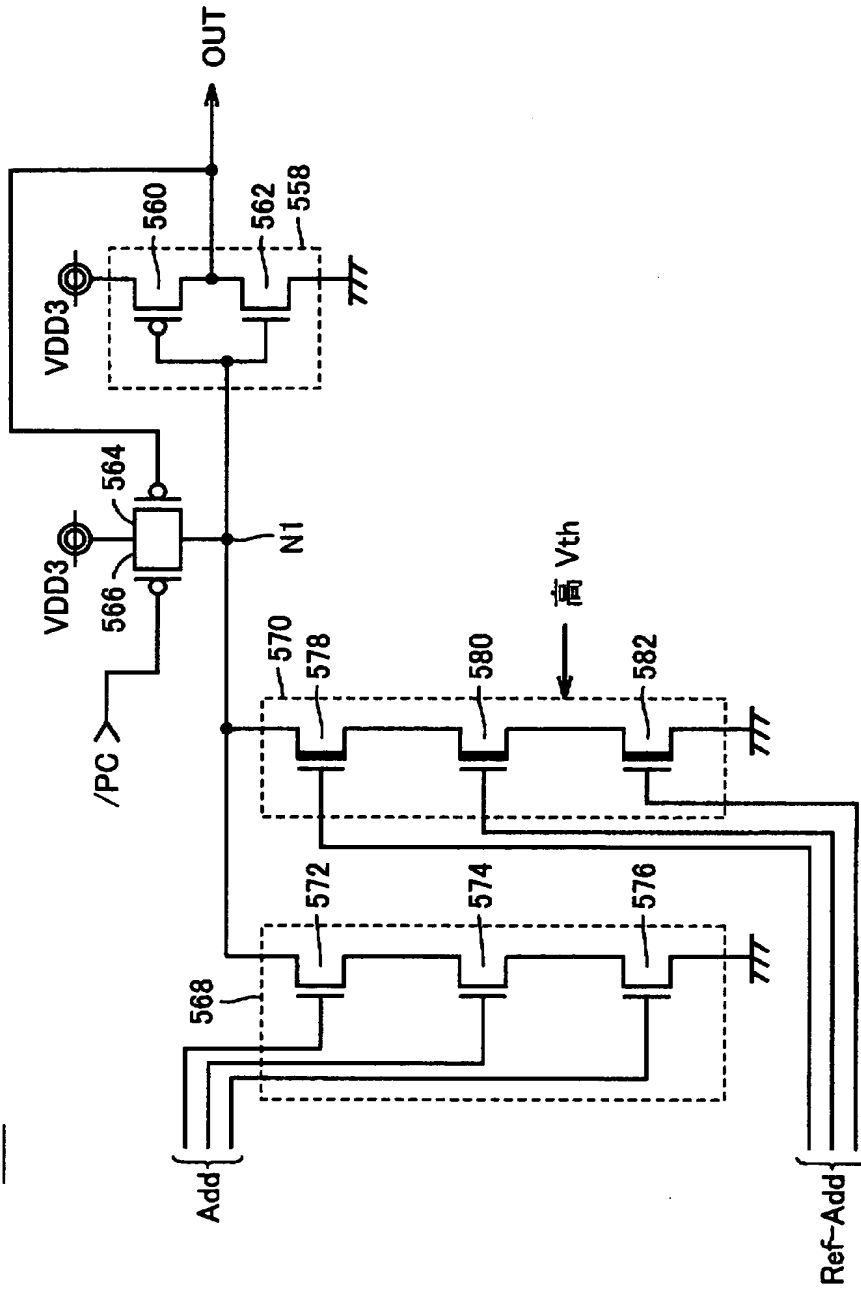
【図 20】



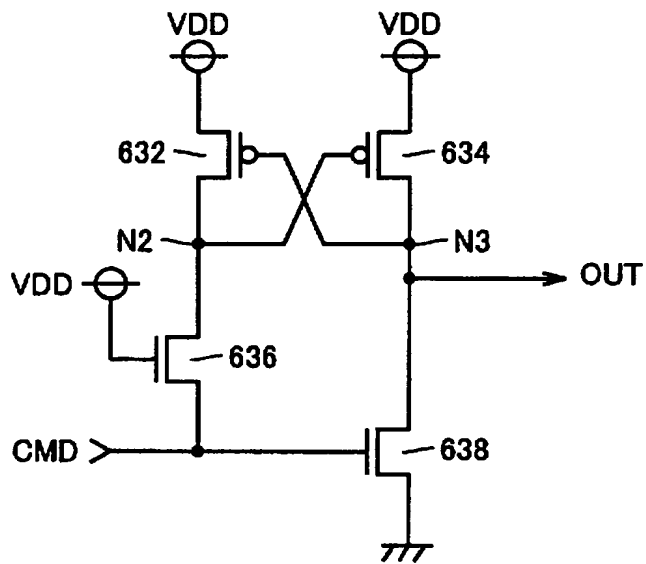
549

【図 21】

609

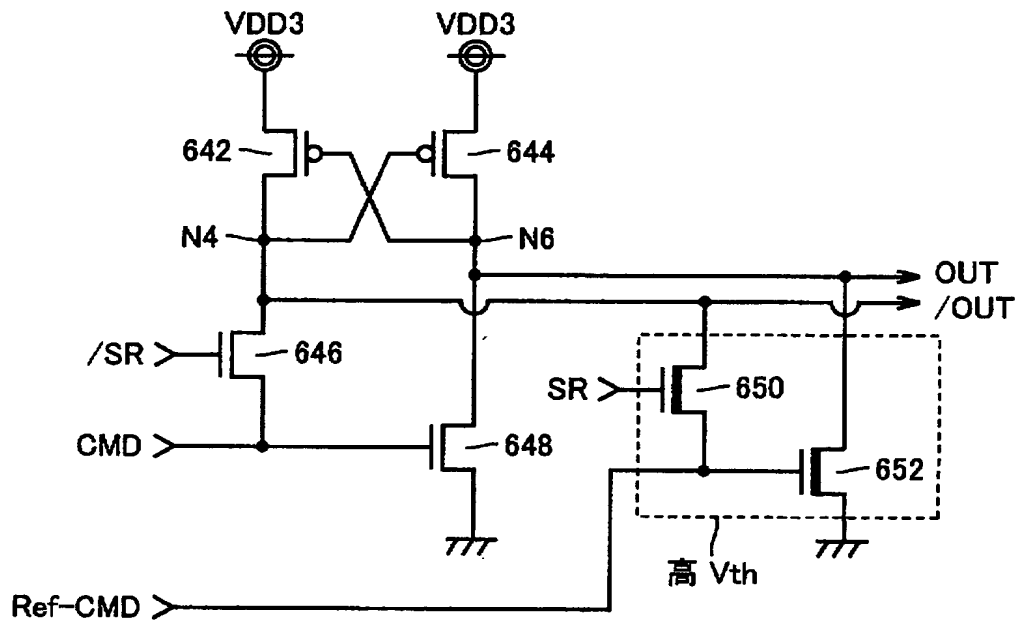


【図 2 2】



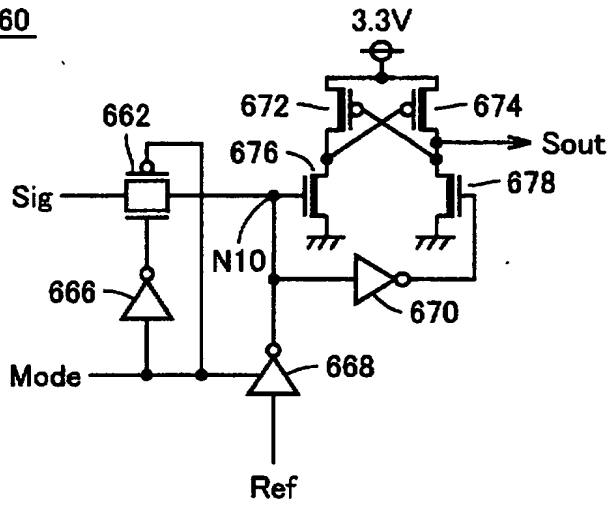
【図 2 3】

620



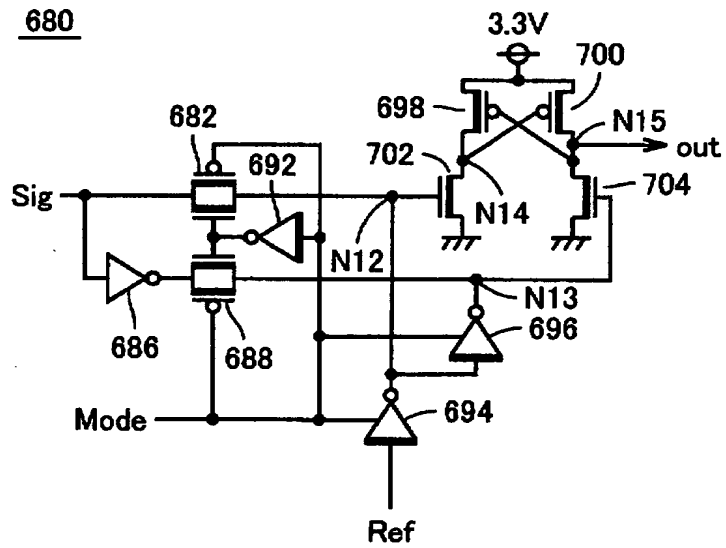
【図 2 4】

660

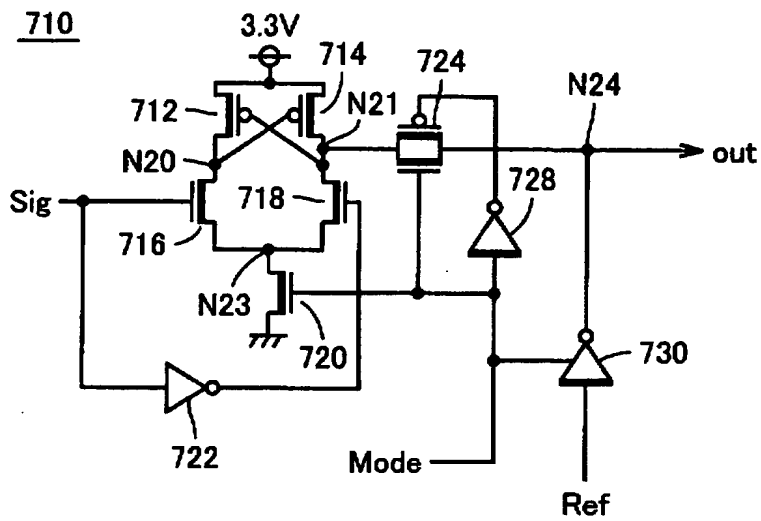


【図 2 5】

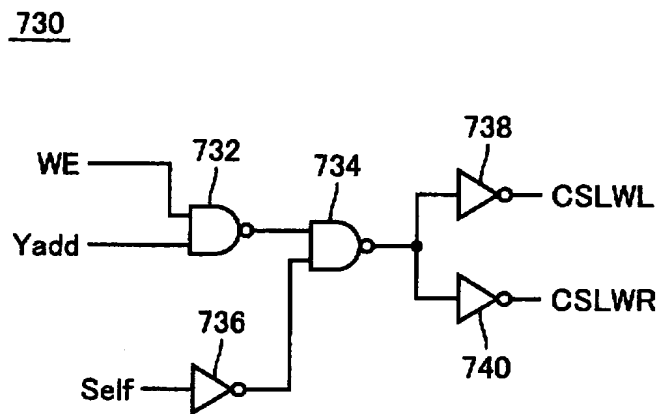
680



【図 2 6】

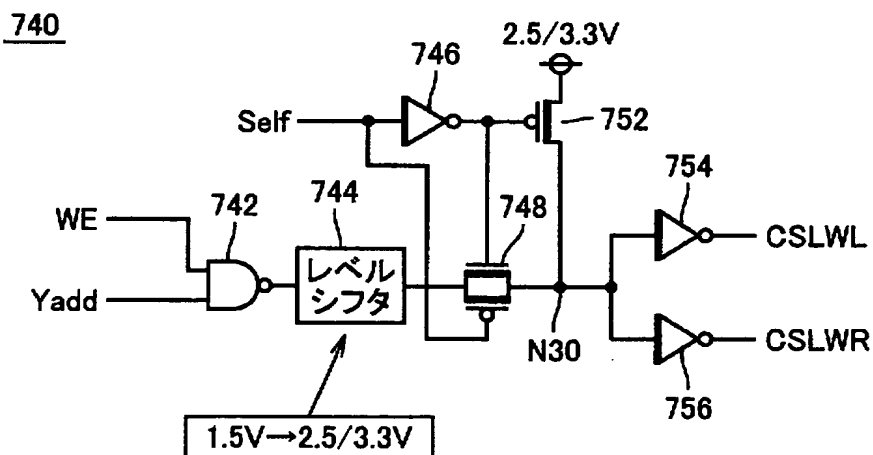


【図 2 7】



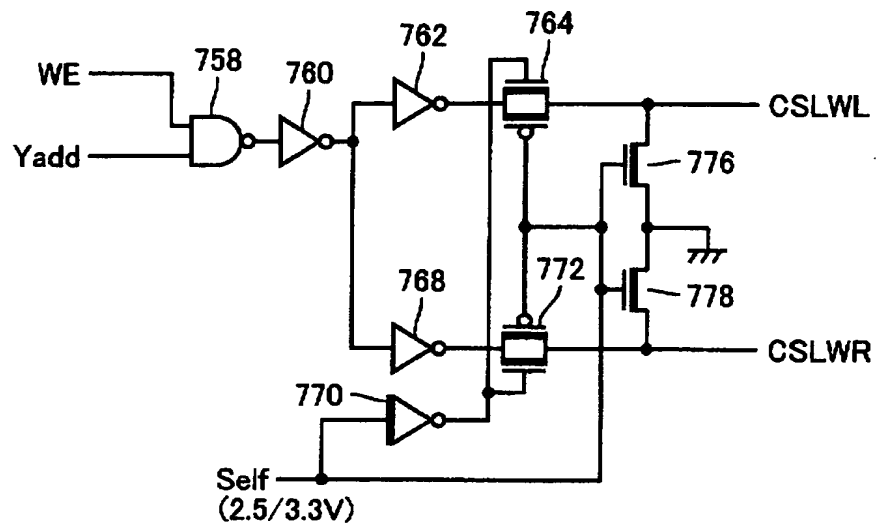
all 1.5V Tr

【図 2 8】

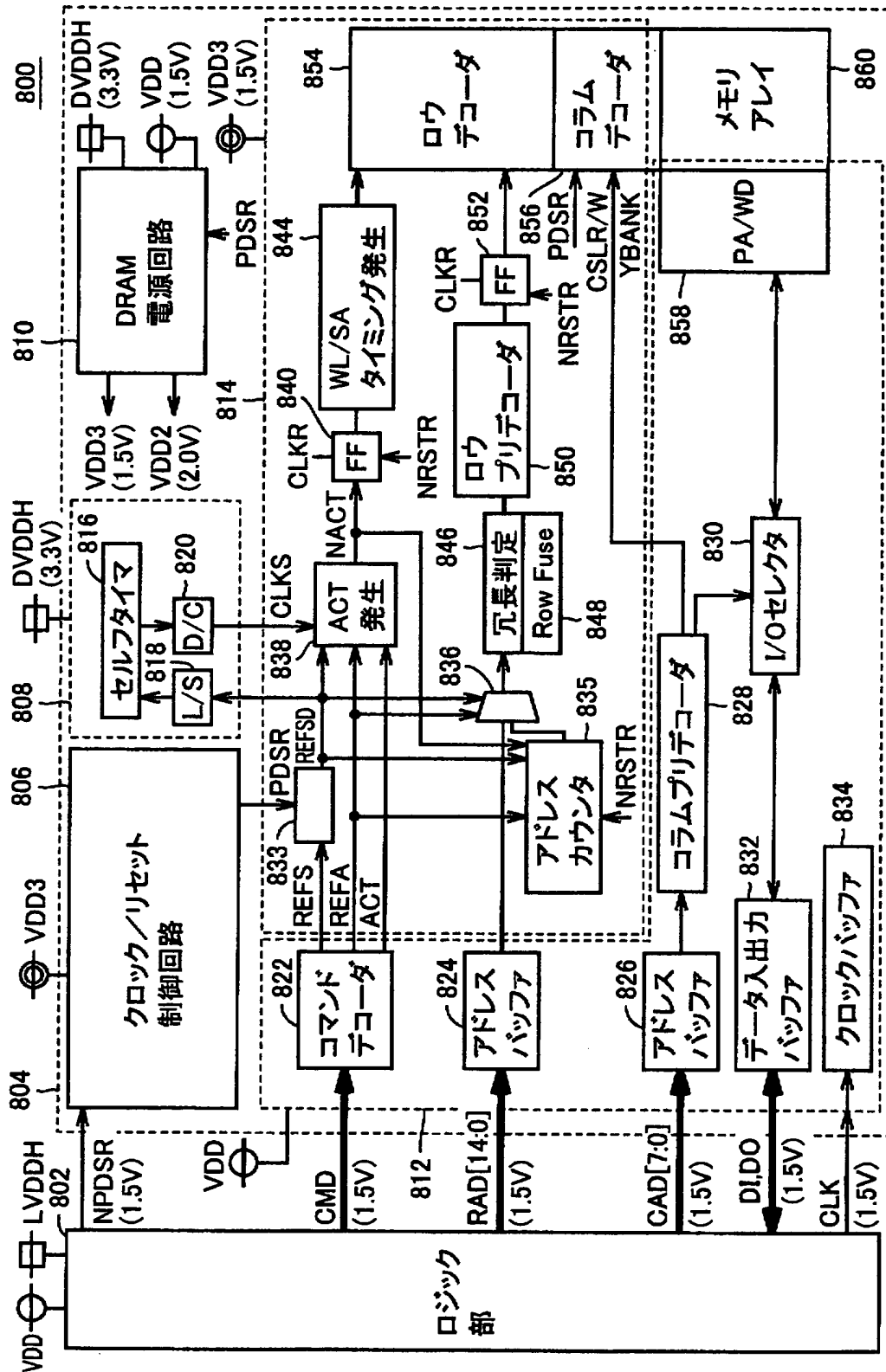


【図 2 9】

757

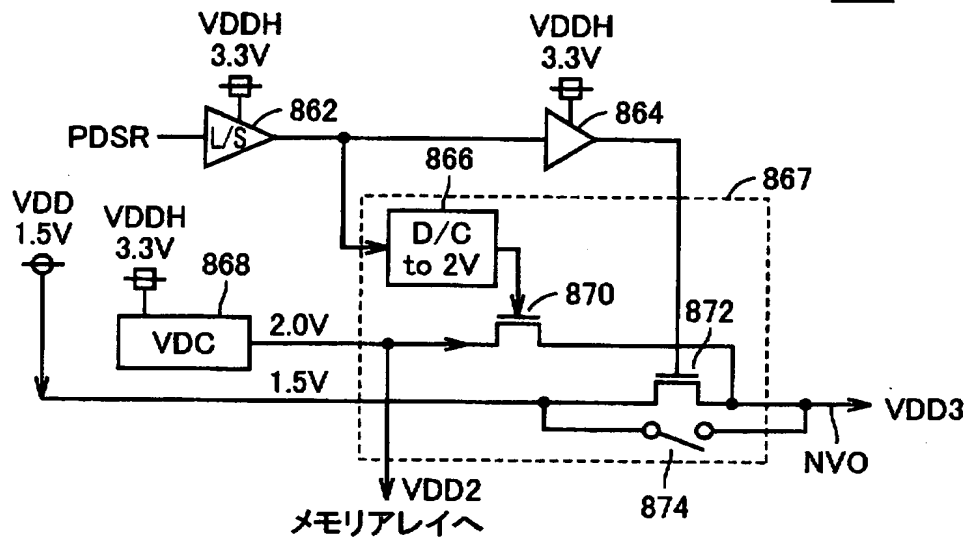


【図 30】



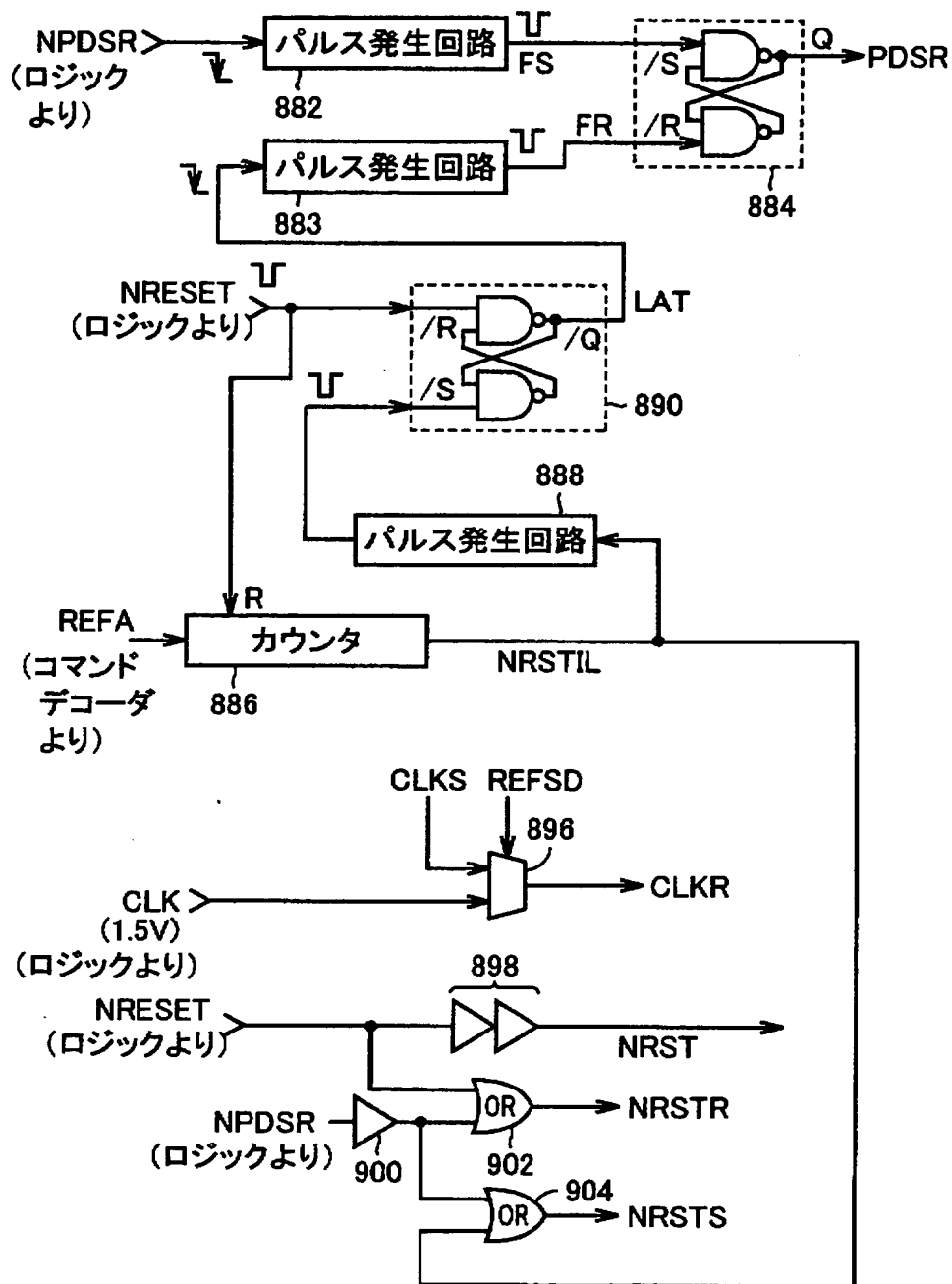
【図 31】

810

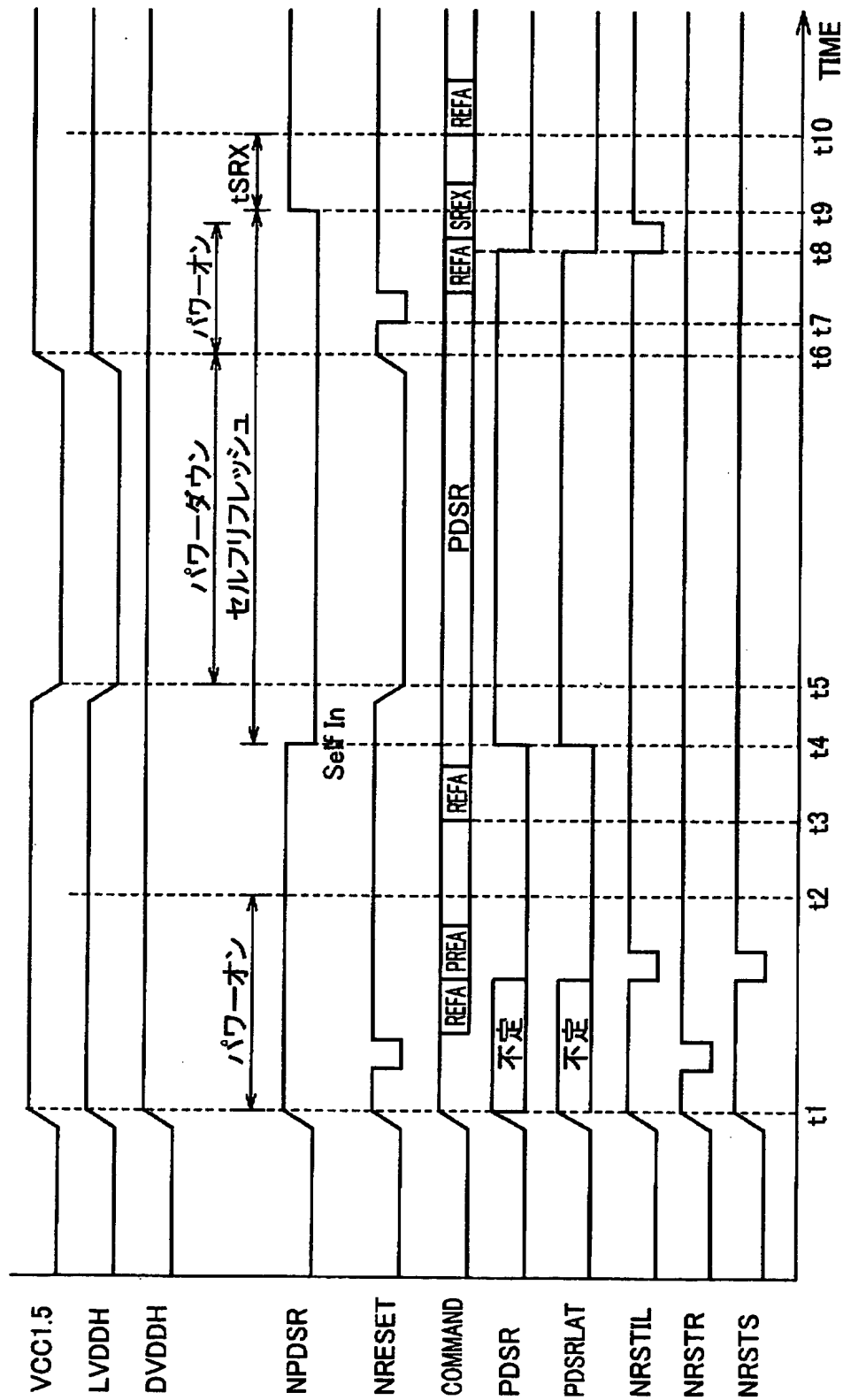


【図 3 2】

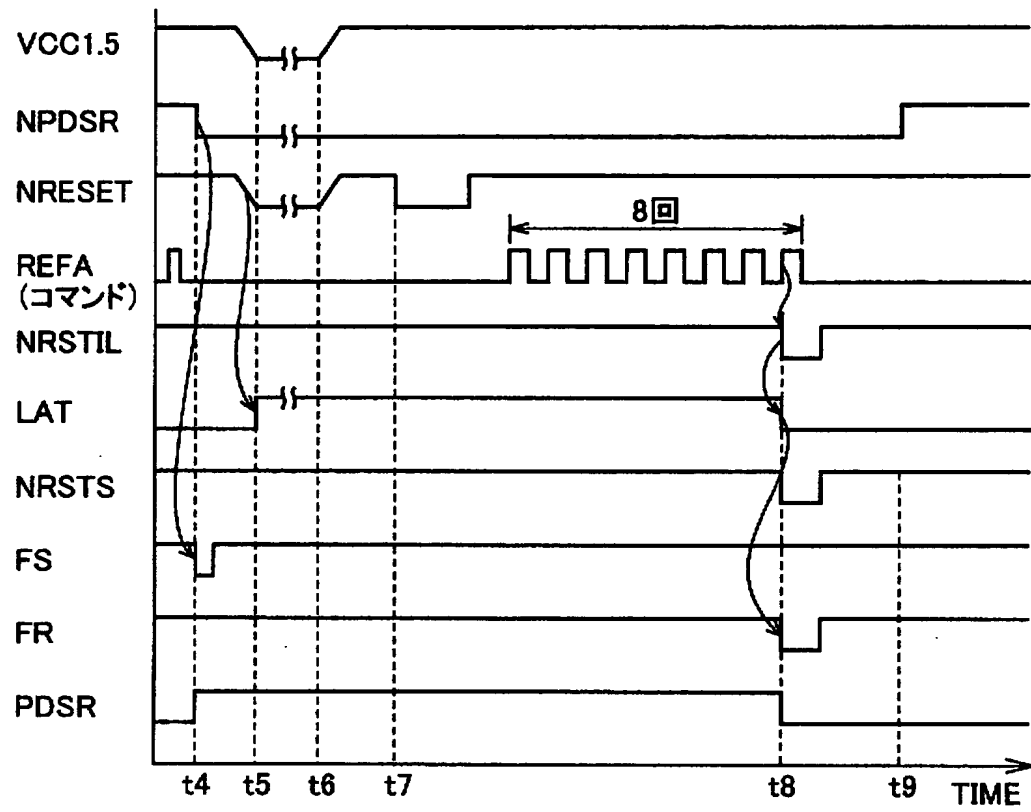
806



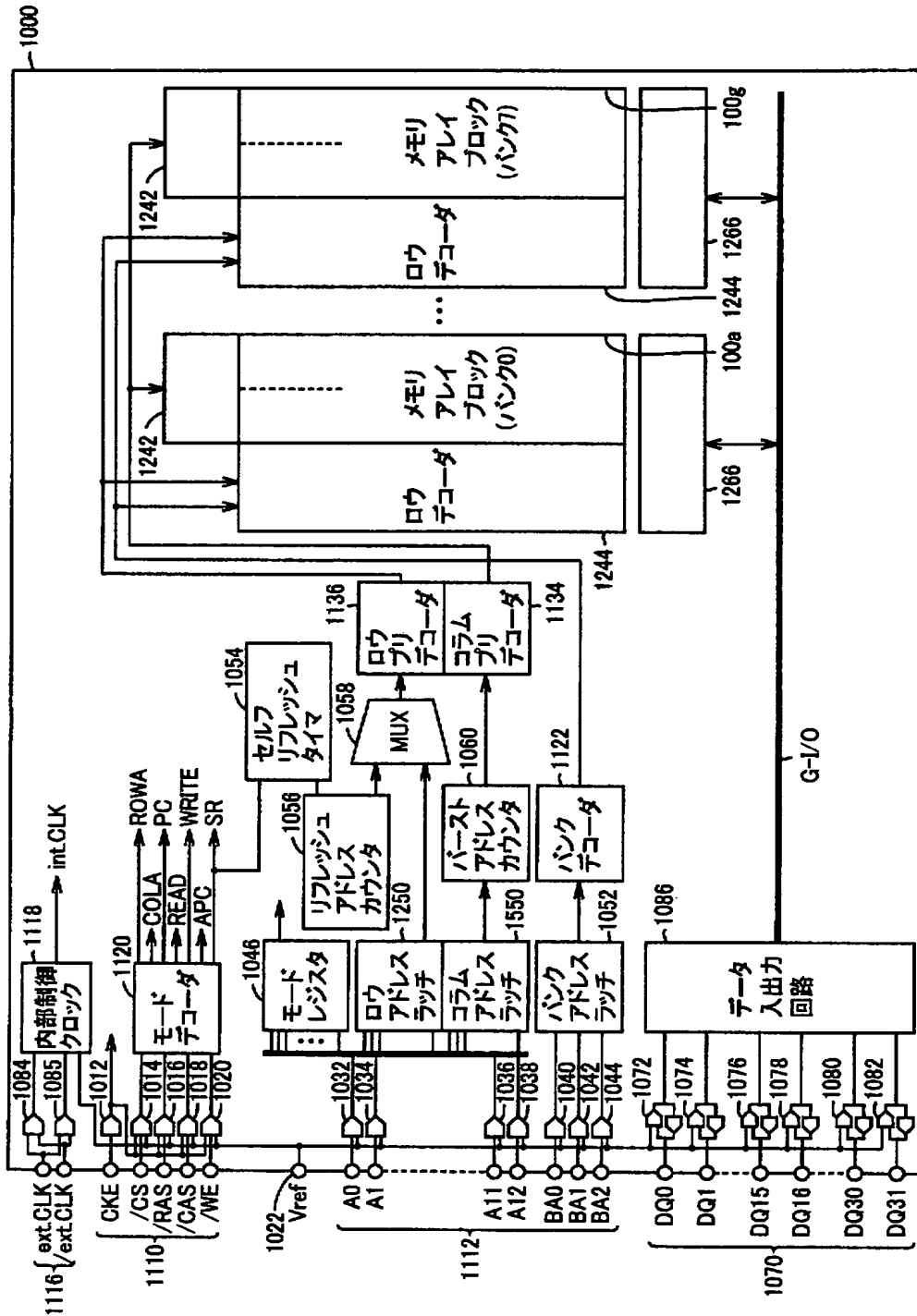
【図 3 3】



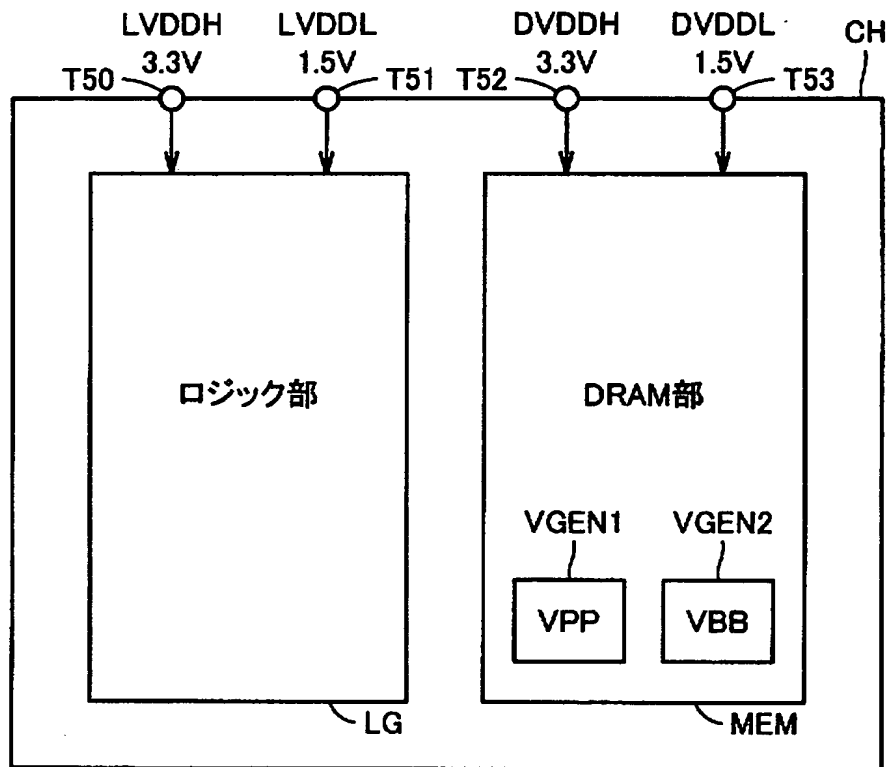
【図 34】



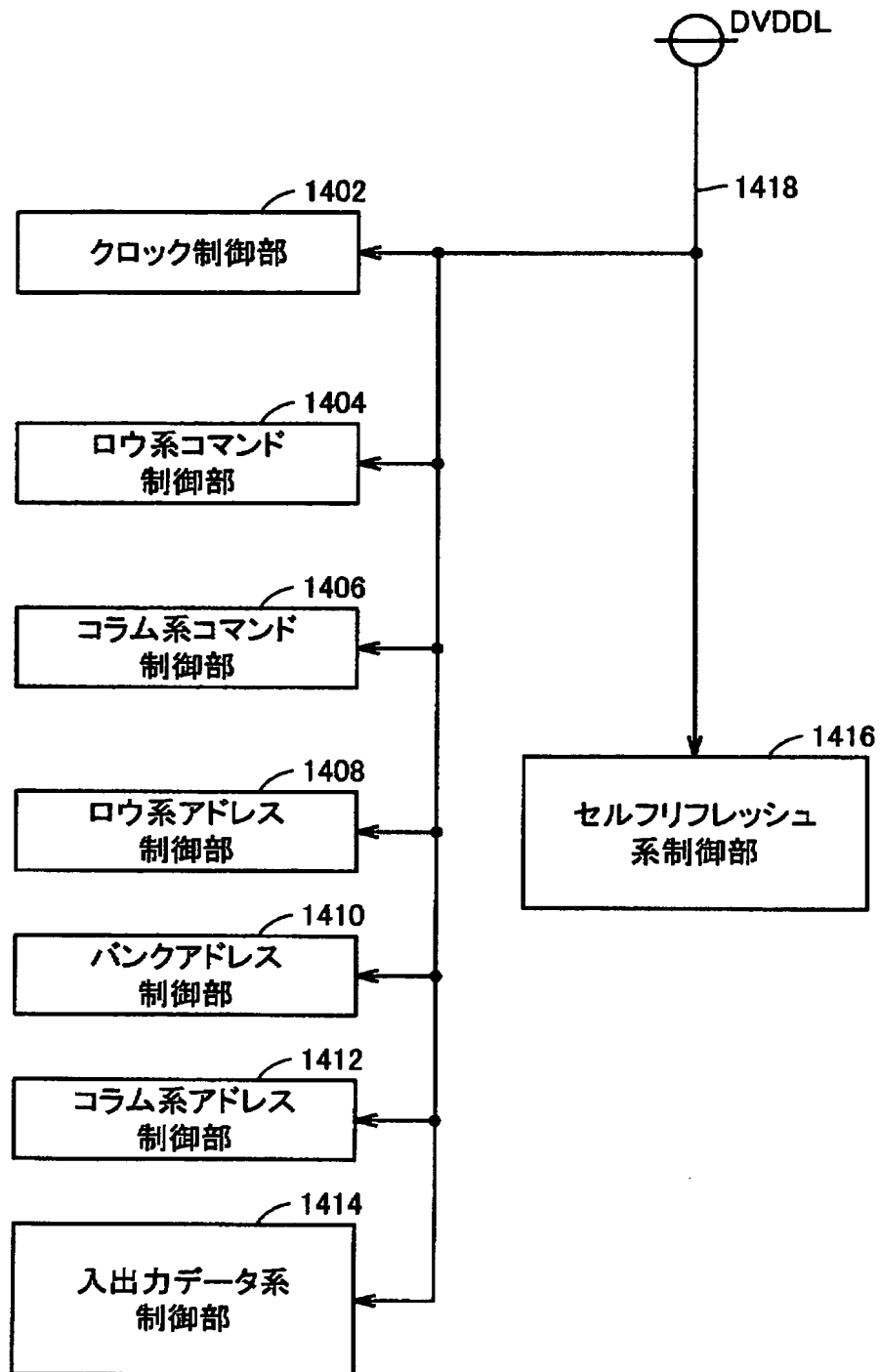
【図 35】



【図 3 6】



【図 3 7】



【書類名】 要約書

【要約】

【課題】 待機時において消費電流を低減させることが可能な半導体装置を提供する。

【解決手段】 待機時にゲートソース間リーク電流を削減するためにインバータ I V 1 ~ I V 5 において丸で囲んだ側のトランジスタのゲート絶縁膜厚を厚く形成する。待機時においては入力信号 I N が L レベルになり、インバータ I V 1 ~ I V 5 において主電源線 3 2 1 および主接地線 3 2 2 に接続される丸で囲んだ側のトランジスタが導通状態になる。導通状態であるトランジスタを通常のトランジスタよりもゲート絶縁膜厚を厚くしておくことでゲートリーク電流を低減させ、待機時の消費電流を低減させることができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社